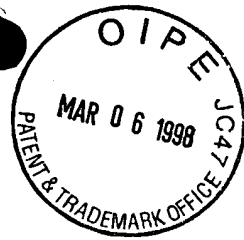


35.C12338



#4
5-5-98
M.L.
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
DAISUKE YOSHIDA ET AL.) : Examiner: Not Yet Assigned
Application No.: 08/953,719) : Group Art Unit: N/Y/A
Filed: October 17, 1997) :
For: MATRIX SUBSTRATE, LIQUID) :
CRYSTAL DEVICE EMPLOYING :
THE MATRIX SUBSTRATE,) :
AND DISPLAY APPARATUS :
EMPLOYING THE LIQUID) :
CRYSTAL DEVICE : March 5, 1998

Assistant Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicants hereby claim priority under the
International Convention and all rights to which they are
entitled under 35 U.S.C. § 119 based upon the following
Japanese Priority Applications:

276531/1996, filed October 18, 1996; and
279013/1997, filed October 13, 1997.

A certified copy of each of the priority documents
is enclosed.

The Examiner is respectfully requested to
acknowledge receipt of the claim to priority and priority
documents.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 758-2400. All correspondence should continue to be directed to our below listed address.

Respectfully submitted,


Attorney for Applicants

Registration No. 31,805

FITZPATRICK, CELLA, HARPER & SCINTO
277 Park Avenue
New York, New York 10172
Facsimile: (212) 758-2982

CF012338 US/ed

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願 年 月 日
Date of Application:

1996年10月18日

願 番 号
Application Number:

平成 8年特許願第276531号

願 人
Applicant(s):

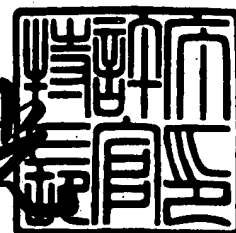
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1997年11月14日

特 許 庁 長 官
Commissioner,
Patent Office

荒井 寿光



【書類名】 特許願

【整理番号】 3369005

【提出日】 平成 8年10月18日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/35

【発明の名称】 液晶装置とこれを用いた表示装置

【請求項の数】 7

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 吉田 大介

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 宮脇 守

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特平 8-276531

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9116521

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶装置とこれを用いた表示装置

【特許請求の範囲】

【請求項1】 複数の走査線と複数の垂直信号線を有し、前記走査線と前記垂直信号線の交点にスイッチを介して画素電極が形成されている液晶装置において、

映像信号がデジタル信号であり映像データを転送する水平走査回路と、前記水平走査回路の出力に同期して1画素分の前記映像データを記憶するデータラッチ回路と、前記データラッチ回路の出力をアナログ信号に変換するD/Aコンバータと、前記D/Aコンバータの出力に接続された複数の信号転送スイッチと、前記複数の転送スイッチのうち任意の1つを選択する手段とを有することを特徴とする液晶装置。

【請求項2】 請求項1に記載の液晶装置において、前記水平走査回路と前記走査線に走査信号を出力する垂直走査回路と転送スイッチを選択する手段がいずれもシフトレジスタであり、全体で少なくとも3つ以上のシフトレジスタを有することを特徴とする液晶装置。

【請求項3】 請求項1に記載の液晶装置において、前記映像信号とともに信号極性反転信号を入力し、前記信号極性反転信号によって前記D/Aコンバータのアナログ出力の極性を反転させる手段を有することを特徴とする液晶装置。

【請求項4】 請求項3に記載の液晶装置において、前記D/Aコンバータは前記映像信号をデジタル化したビット数より1ビット多いビット数の入力が可能であり、その前記D/Aコンバータの最上位ビットに前記信号極性反転信号を入力することを特徴とする液晶装置。

【請求項5】 半導体基板上に形成された液晶素子を搭載した液晶装置であって、

前記液晶素子はアクティブマトリクス状に各画素毎にスイッチング素子を配した複数の画素電極と該画素電極間の絶縁層とが一平面に形成され共通電極間に液晶を挟持しており、更に、前記液晶素子を駆動する水平・垂直走査回路中水平走査回路の出力制御信号によりデジタル映像信号をサンプリングして出力する複

数のラッチ手段と、前記ラッチ手段の出力をアナログ信号に変換するD/Aコンバータと、転送スイッチ選択回路の出力により制御される複数の転送スイッチとを備え、前記転送スイッチ選択回路の出力毎に前記液晶素子の垂直信号線に前記アナログ信号を前記転送スイッチを介して供給することを特徴とする液晶装置。

【請求項6】 請求項5に記載の液晶装置において、前記一平面に形成する手段はCMP (Chemical Mechanical Polishing) を利用することを特徴とする液晶装置。

【請求項7】 請求項1乃至6のいずれか1項に記載の液晶装置を用いたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶を用いて画像・文字などを表示する液晶装置及びこれを用いた表示装置に関し、特に、液晶素子を駆動する水平・垂直走査回路の内、垂直信号線にビデオ信号を供給する手段に特徴を有する液晶装置及びこの液晶装置を用いた表示装置に関する。

【0002】

【従来の技術】

今日、世の中はマルチメディア時代に入り、画像情報でコミュニケーションを図る機器の重要性がますます高まりつつある。なかでも、液晶表示装置は、薄型で消費電力が小さいため注目されており、半導体にならぶ基幹産業にまで成長している。液晶表示装置は、現在、10インチサイズのノートサイズのパソコンに主に使用されている。そして、将来は、パソコンのみでなく、ワークステーションや家庭用のテレビとして、さらに画面サイズの大きい液晶表示装置が使用されると考えられる。しかし、画面サイズの大型化にともない、製造装置が高価になるばかりでなく、大画面を駆動するためには、電氣的に厳しい特性が要求される。このため、画面サイズの大型化とともに、製造コストがサイズの2～3乗に比例するなど急激に増加する。

【0003】

そこで、最近、小型の液晶表示パネルを作製し、光学的に液晶画像を拡大して表示するプロジェクション（投影）方式が注目されている。これは、半導体の微細化にともない、性能やコストが良くなるスケーリング則と同様に、サイズを小さくして、特性を向上させ、同時に、低コスト化も図ることができるからである。これらの点から、液晶表示パネルをTFT型としたとき、小型で十分な駆動力を有するTFTが要求され、TFTもアモルファスSiを用いたものから多結晶Siを用いたものに移行しつつある。通常のテレビに使われるNTSC規格などの解像度レベルの映像信号は、あまり高速の処理を必要としない。

【0004】

このため、TFTのみでなく、シフトレジスタもしくはデコーダといった周辺駆動回路まで多結晶Siで製造して、表示領域と周辺駆動回路が一体構造になった液晶表示装置ができる。しかし、多結晶Siでも、単結晶Siにはおおよそ、NTSC規格より解像度レベルの大きい高品位テレビや、コンピュータの解像度規格でいうXGA (eXtended Graphics Array)、SXGA (Super eXtended Graphics Array) クラスの表示を実現しようとする、シフトレジスタなどは複数に分割配置せざるを得ない。この場合、分割のつなぎ目に相当する表示領域にゴーストと呼ばれるノイズが発生し、その問題を解決する対策がこの分野では望まれている。

また一方、多結晶Siの一体構造の表示装置より、駆動力が極めて高い単結晶Si基板を用いる表示装置も注目を集めている。この場合、周辺駆動回路のトランジスタの駆動力は申し分ないので、上述したような分割駆動をする必要はない。このため、表示装置と周辺駆動回路との接続線間等のS/Nが高くノイズの影響は小さく、ノイズなどの問題は解決できる。

【0005】

これらの多結晶Siでも、単結晶Siでも、TFTのドレインと反射電極とを接続して、反射電極と透明な共通電極との間に液晶を挟持して、反射型液晶素子を組み込んだ反射型液晶装置が提供できる。

【0006】

また、反射型液晶素子の各画素にビデオ信号を書き込んで表示させる走査回路

も重要であり、その一例を図16に示して説明する。図16において、デジタル画像信号は信号処理回路230によってD/Aコンバートされて、アナログ信号として液晶装置のチップに入力される。水平走査回路231はその制御信号を転送スイッチ234のゲートに入力され、制御信号に応じて共通信号線238上のアナログ信号は、順次各垂直信号線232に導出される。垂直走査回路234は順次走査制御信号を走査線233に出力し、走査線233は液晶画素内のスイッチMOSトランジスタ235のゲートに接続され、そのソースは垂直信号線232に接続され、スイッチMOSトランジスタ235がオンすれば、垂直信号線232上のビデオ信号は液晶237に電界を与えて表示し、所定時間その付加容量236に電位を保持して、表示を保持する。

【0007】

【発明が解決しようとする課題】

上記した従来技術には、以下に示す問題点があった。一般に画素への書き込みレートは非常に早く、アナログ信号は非常に高い高周波の信号となる。このため、転送スイッチは高速で転送を完了することが要求され、この高速化により転送スイッチのサイズが大きくなってしまふ。また、上記共通信号線を外部回路と接続するためのパッドまでの配線も必要で、結果的に共通信号線の容量が非常に大きくなる。さらに、液晶表示素子ではアナログ映像信号の振幅は10V以上と非常に高い。このように大きな容量性負荷を大きな振幅で高速に駆動する必要があるため、外部駆動回路として非常に高い能力が要求され、消費電力も大きくなってしまふという問題点があった。その上、外部回路との接続にフレキシブルなケーブル等を用いた場合、そのケーブルの長さに比例してリアクタンス成分が付随するため、共通信号線の負荷容量が大きくなるほど信号のリンギングが大きくなってくる。このため、ケーブルの長さが制限され、機械的な自由度が減少するという問題点もあった。

【0008】

一方、本出願人は、上記多結晶Si及び単結晶Siを半導体基板とした反射型液晶装置の製造方法について、特願平7-186473号を出願している。該出願は以下の目的と解決手段と実施例を内包している。

【0009】

その目的として、従来の液晶画素の画素電極に光が入射すると、表面の凹凸によって入射光が四方八方に散乱され、光の反射効率が非常に小さくなり、また、この表面凹凸は液晶実装工程の配向膜ラビング工程において、配向不良の原因となり、その結果、液晶の配向不良を引き起こし、コントラストの低下により表示画像の画質を悪化され、また、各画素電極間の溝の部分はラビングされないため、液晶配向不良の原因になると同時に、表面凹凸と相俟って、画素電極間の横方向電界を発生し、輝線の原因となる。この輝線の発生は、表示画像のコントラストを著しく悪化させ、画質が低下するので、本出願の目的は、上記問題を解決し、画素電極表面の凹凸をなくし、該凹凸に由来する配向不良や乱反射を防止し、高画質な表示を行なう液晶表示装置とその製造方法を提供することにある。

【0010】

またその課題を解決する手段として、本出願の液晶表示装置は、各画素毎にスイッチングトランジスタを配したアクティブマトリクス基板と、対向電極基板間に液晶を挟持してなるアクティブマトリクス型の液晶表示装置であって、全画素電極表面が同一平面でアクティブマトリクス基板に対して平行に位置し、各画素電極の側壁の少なくとも一部が絶縁物に接していることを特徴とする。本出願は、ケミカルメカニカルポリッシング（Chemical Mechanical Polishing、以下「CMP」と記す）利用することにより、画素電極表面を研磨によって形成するため、該画素電極表面が鏡面状に平滑に形成されると同時に、全画素電極表面を同一平面に形成することができる。さらに、絶縁層を形成した上に画素電極層を形成、或いは、ホールを形成した画素電極層上に絶縁層を成膜し、上記研磨工程を行なうことにより、画素電極間が絶縁層により良好に埋められ、完全に凹凸がなくなる。よって、該凹凸によって生じた乱反射や配向不良が防止され、高画質な画像表示が可能となる。

【0011】

さらにその一実施例として、図14及び図15を参照しつつ説明する。第1の実施例として、反射型の液晶表示装置について説明する。そのアクティブマトリクス基板の製造工程及び液晶素子の断面図を図14、図15に示す。以下、順を

追って本実施例を詳細に説明する。尚、図14、図15には画素部を示しているが、画素部形成工程と同時に、画素部のスイッチングトランジスタを駆動するためのシフトレジスタ等周辺駆動回路も同一基板上に形成することができる。

【0012】

不純物濃度が 10^{15} cm^{-3} 以下であるn形シリコン半導体基板201を部分熱酸化し、LOCOS202を形成し、該LOCOS202をマスクとしてボロンをドーズ量 10^{12} cm^{-2} 程度イオン注入し、不純物濃度 10^{16} cm^{-3} 程度のp形不純物領域であるPWL203を形成する。この基板201を再度熱酸化し、酸化膜厚1000オングストローム以下のゲート酸化膜204を形成する（図14（a））。

【0013】

リンを 10^{20} cm^{-3} 程度ドーピングしたn形ポリシリコンからなるゲート電極205を形成した後、基板201全面にリンをドーズ量 10^{12} cm^{-2} 程度イオン注入し、不純物濃度 10^{16} cm^{-3} 程度のn形不純物領域であるNLD206を形成し、引き続き、パターンニングされたフォトレジストをマスクとして、リンをドーズ量 10^{15} cm^{-2} 程度イオン注入し、不純物濃度 10^{19} cm^{-3} 程度のソース、ドレイン領域207、207'を形成する（図14（b））。

【0014】

基板201全面に層間膜であるPSG208を形成した。このPSG208はNSG（Nondope Silicate Glass）／BPSG（Boro-Phospho-Silicate Glass）や、TEOS（Tetraethoxy-Silane）で代替することも可能である。ソース、ドレイン領域207、207'の直上のPSG208にコンタクトホールをパターンニングし、スパッタリングによりAlを蒸着した後パターンニングし、Al電極209を形成する（図14（c））。このAl電極209と、ソース、ドレイン領域207、207'とのオーミックコンタクト特性を向上させるために、Ti／TiN等のバリアメタルを、Al電極209とソース、ドレイン領域207、207'との間に形成するのが望ましい。

【0015】

基板201全面にプラズマSiN210を3000オングストローム程度、続

いてPSG211を10000オングストローム程度成膜する(図14(d))

【0016】

プラズマSiN210をドライエッチングストッパー層として、PSG211を画素間の分離領域のみを残すようにパターニングし、その後ドレイン領域207'にコンタクトしているAl電極209直上にスルーホール212をドライエッチングによりパターニングする(図14(e))。

【0017】

基板201上にスパッタリング、或いはEB(Electron Beam、電子線)蒸着により、画素電極213を10000オングストローム以上成膜する(図15(f))。この画素電極213としては、Al、Ti、Ta、W等の金属膜、或いはこれら金属の化合物膜を用いる。

【0018】

画素電極213の表面をCMPにより研磨する(図15(g))。研磨量はPSG211厚を10000オングストローム、画素電極厚をxオングストロームとした場合、xオングストローム以上、x+10000オングストローム未満である。

【0019】

上記の工程により形成されたアクティブマトリクス基板はその表面にさらに配向膜215を形成し、その表面にラビング処理等配向処理を施し、スペーサ(不図示)を介して対向基板と貼り合わせ、その間隙に液晶214を注入して液晶素子とする(図15(h))。本実施例において、対向基板は透明基板220上にカラーフィルター221、ブラックマトリクス222、ITO等からなる共通電極223、及び配向膜215'から構成されている。

【0020】

以下、簡単に本例の反射型液晶素子の駆動方法を説明する。基板201にオンチップで形成されたシフトレジスタ等の周辺回路により、ソース領域207に信号電位を与え、それと同時にゲート電極205にゲート電位を印加し、画素のスイッチングトランジスタをオン状態にし、ドレイン領域207'に信号電荷を供

給する。信号電荷はドレイン領域207'と、PWL203との間に形成されるpn接合の空乏層容量に蓄積され、A1電極209を介して画素電極213に電位を与える。画素電極213の電位が所望の電位に達した時点で、ゲート電極205の印加電位を切り、画素スイッチングトランジスタをオフ状態にする。信号電荷は前述のpn接合容量部に蓄積されているため、画素電極213の電位は、次に画素スイッチングトランジスタが駆動されるまで固定される。この固定された画素電極213の電位が、図15(h)に示された基板201と対向基板220との間に封入された液晶214を駆動する。

【0021】

本例のアクティブマトリクス基板は、図15(h)から明らかなように、画素電極213表面が平滑であり、且つ、隣接する画素電極間隙に絶縁層が埋め込まれているため、その上に形成される配向膜215表面も平滑で凹凸がない。よって、従来上記凹凸によって生じていた、入射光の散乱により光利用効率の低下、ラビング不良によるコントラストの低下、画素電極間の段差による横方向電界による輝線の発生が防止され、表示画像の品質が向上する。

【0022】

また、上記出願の反射型表示装置において、単純に成膜装置で成膜しただけの反射電極表面の反射率は、充分高いとはいえず、表面凹凸により、液晶の配向特性、液晶とのヌレ性のムラにより、画像にムラが生じる場合がある。また、シール部と表示領域の高さの違いにより画像ムラの問題点を有している。

【0023】

特に、マトリクス状に配置された液晶素子の走査のため、1チップ内に外部駆動回路を収容することで、機能が向上し、製造上の歩留まりも向上することが望まれている。即ち、外部駆動回路の一つに水平と垂直走査回路が必要であるが、アナログ信号の供給を要求する液晶素子のために、液晶素子の周辺に垂直信号線に応じた数のD/A変換回路を設けることは現実的でなく、またD/A変換回路の負担を軽減し、さらに液晶画素への書き込み時間もある程度長くする必要があり、液晶表示を高精細化してトータル的に低消費電力であることも要求される。

【0024】

そこで、本発明は、上述のように種々の問題点を解決するべく、特に近年の映像信号がデジタル信号として供給される傾向にあることも考慮に入れて、最適な信号処理と液晶駆動回路とを提供しようとする者である。また、液晶素子部分ばかりでなくその周辺回路部分も反射電極を設け、平坦かつミラー面に仕上げるとともに、周辺回路の液晶駆動回路の部品点数の削減と低消費電力化等を主目的として、高精細、高輝度を実現させるばかりでなく、画像のムラも低減し、高品位な画像表示を実現することを目的とする。

【0025】

【課題を解決するための手段】

そこで、本発明者が、鋭意努力した結果以下の発明を得た。すなわち、本発明装置は、表示領域の周辺に液晶駆動回路を配置すると共に、液晶駆動回路の低負荷化、使用部品数の低減化等を可能とすることにより、上記課題を解決するものである。

【0026】

本発明は、上記課題を解決するため、複数の走査線と複数の垂直信号線を有し、前記走査線と前記垂直信号線の交点にスイッチを介して画素電極が形成されている液晶装置において、映像信号がデジタル信号であり映像データを転送する水平走査回路と、前記水平走査回路の出力に同期して1画素分の前記映像データを記憶するデータラッチ回路と、前記データラッチ回路の出力をアナログ信号に変換するD/Aコンバータと、前記D/Aコンバータの出力に接続された複数の信号転送スイッチと、前記複数の転送スイッチのうち任意の1つを選択する手段とを有することを特徴とする。また、上記液晶装置において、前記水平走査回路と前記走査線に走査信号を出力する垂直走査回路と転送スイッチを選択する手段がいずれもシフトレジスタであり、全体で少なくとも3つ以上のシフトレジスタを有することを特徴とする。

【0027】

また、上記液晶装置において、前記映像信号とともに信号極性反転信号を入力し、前記信号極性反転信号によって前記D/Aコンバータのアナログ出力の極性を反転させる手段を有することを特徴とする。さらに、上記液晶装置において、

前記D/Aコンバータは前記映像信号をディジタル化したビット数より1ビット多いビット数の入力が可能であり、その前記D/Aコンバータの最上位ビットに前記信号極性反転信号を入力することを特徴とする。

【0028】

また、半導体基板上に形成された液晶素子を搭載した液晶装置であって、前記液晶素子はアクティブマトリクス状に各画素毎にスイッチング素子を配した複数の画素電極と該画素電極間の絶縁層とが一平面に形成され共通電極間に液晶を挟持しており、更に、前記液晶素子を駆動する水平・垂直走査回路中水平走査回路の出力制御信号によりディジタル映像信号をサンプリングして出力する複数のラッチ手段と、前記ラッチ手段の出力をアナログ信号に変換するD/Aコンバータと、転送スイッチ選択回路の出力により制御される複数の転送スイッチとを備え、前記転送スイッチ選択回路の出力毎に液晶素子の画素の垂直信号線に前記アナログ信号を前記転送スイッチを介して供給することを特徴とする。また、上記液晶装置において、前記一平面に形成する手段はCMP (Chemical Mechanical Polishing) を利用することを特徴とする。さらに、表示装置において、上記液晶装置を用いたことを特徴とする。

【0029】

【発明の実施の形態】

[第1実施形態]

図1は本発明に係る第1の実施形態を示す等価回路図である。本実施形態では、水平走査回路から出力される複数の垂直信号線と垂直走査回路18から出力される複数の走査線を有し、垂直信号線と走査線の交点にスイッチを介して画素電極が形成されている。また走査線H1～H4…は垂直走査回路18に接続されている。さらに、映像信号をデータラッチ回路8～11…に転送する水平走査回路2と、水平走査回路2の出力に同期して映像信号を記憶するデータラッチ回路8～11…と、データラッチ回路8～11…の出力をアナログの映像信号に変換するD/Aコンバータ12, 13とを有し、このD/Aコンバータ12, 13の出力が出力バッファ回路14, 15と信号転送スイッチ17を介して垂直信号線に接続されている。そして転送スイッチ17の制御は転送スイッチ選択回路16に

よって行われる。また、3はインバータ、4～7はAND回路、19は液晶素子であり、液晶素子19は、スイッチングMOSトランジスタ20と、液晶21と、付加容量22とにより1画素を構成している。

【0030】

本実施形態では、D/Aコンバータ12、13の数は水平方向の画素数よりも少ない数になっている。ここではD/Aコンバータ12、13の数は水平方向の画素数の1/4の場合を示している。D/Aコンバータ12、13の出力はバッファ14、15を介して、転送SW選択回路16の出力S1～S4の制御によって、それぞれ4個のスイッチ17をオンオフされ、各液晶素子19に供給される。このため、映像信号は4画素ずつ飛び越したデータが入力される必要があり、外部の駆動回路として映像信号のデータを画素単位で並べ替える手段1を有し、概念的には図2に示すようにデータを並べ替える必要がある。画素毎の信号に対応した元信号が、時系列的に1～16として入力された場合、映像信号並べ替え回路1の出力は4つ毎に並べ替えられ、下段に示す画素毎の画素番号順となる。

【0031】

またD/Aコンバータ12、13の数はパネルサイズ、回路ブロックの面積、D/Aコンバータ12、13の駆動限界周波数、消費電力等を考慮し、設計者が任意に設定できる。本実施形態では1つのD/Aコンバータ12、13にデータラッチ回路8～11が2系統あり、ラッチ選択（セレクト）パルスがインバータ3とAND回路4～7を介されて水平走査回路2の出力V1、V2と論理積をとられることによって、2つのうち任意の1つを選択できる。

【0032】

以下、本実施形態の動作について、図3のタイミング図に従い説明する。図3において、まず第1の水平走査期間にはラッチセレクトパルスをhighとして、水平走査回路2の出力に同期してデジタルの映像データが第1のデータラッチ回路8、10に順次転送される。次の水平走査期間ではラッチセレクトパルスをlowとして、第2のデータラッチ回路9、11にデータが転送され、同時に第1のデータラッチ回路8、10の出力がイネーブル状態となり出力がD/Aコンバータ12、13に入力され、映像信号をアナログ信号に変換する。そして転

送スイッチ選択手段16によって転送スイッチ17のうち1つをオン状態(S1をhigh)とし、このバッファ14を介したアナログ信号を垂直信号線に転送する。結果的にD/Aコンバータの数と同数の液晶画素へ、映像信号書き込みが同時に行われる。このためD/Aコンバータ12, 13の動作速度としては、1回の水平走査と同等の期間に応答すればよい。さらには転送時間が長いため、信号転送スイッチ17のサイズも従来のアナログ入力方式に比べ小さくてすみ、なおかつアナログ入力方式における共通信号線分の負荷がなく、アナログで駆動すべき負荷が非常に小さくなる。

【0033】

そして第3の水平走査期間では、再び第1のデータラッチ回路にデータを転送し、同時に第2のデータラッチ回路に保持されたデータが画素へ書き込まれる(S2をhigh)。この走査を、繰り返し行い、同時に1つの走査線をオン状態としておき所望の画素に映像信号を書き込み、1ライン分の表示となる。以下全てのラインについて順次同様の書き込みを行い、1画面分の表示となる。

【0034】

以上の説明から明らかなように、本発明によれば、D/Aコンバータ1ケにつきデータラッチ回路を2系統設けていて、データラッチへのデジタル画素データ転送と信号線へのアナログ画像データ転送をそれぞれ水平走査回路と転送スイッチ選択回路で独立に行えるため、タイミング上データの書き込みと読み出しが同時にできる長所があり、D/Aコンバータの動作周波数を低くできる。このことは、液晶表示素子の高精細化を進める上でも非常に有利である。また、D/Aコンバータを素子に内蔵したことにより、外部の駆動回路の規模を縮小することができる。一般的にアナログ映像信号の振幅は10V以上と非常に大きいため、アナログで駆動する負荷がより小さい方が、消費電力の上で有利である。本発明では、アナログで駆動する負荷が従来のアナログ入力方式に比べ非常に小さくてすみ、外部駆動回路を含めた全体での低消費電力化が可能となる。そして、映像信号の転送は素子内のD/Aコンバータの直前までデジタルで行われるため、信号の減衰があっても信号の品質を一定に保たれ、ノイズの影響が少なく、高画質化が可能である。

【0035】

〔第2実施形態〕

図4は本発明に係る第2の実施形態を示す等価回路図である。図は、第1の実施形態のD/Aコンバータ部のみを取り出したものである。図において、MSBとはアナログ出力の最大値となる基準電圧であり、LSBとはアナログ出力の最小値となる基準電圧である。液晶表示素子では、長時間液晶に直流電圧を印加し続けると、液晶が劣化し、焼き付きが発生する。このため、映像信号を一定周期毎に反転させる交流駆動を行うのが一般的である。本実施形態では、デジタルの映像信号とは別に信号極性を反転する信号を液晶表示素子に与え、これに同期して映像信号の極性を反転させる。なおここでは信号極性を反転するために、D/Aコンバータの基準電圧を変化させている。

【0036】

以下本実施形態の動作について説明する。正極性の信号を書き込む期間では、D/Aコンバータの基準電圧を図4に示したように、INVをhighとしてMSBがV_{hm}、LSBがV_{hl}になり、D/Aコンバータの出力は、V_{hm}～V_{hl}のダイナミックレンジとなる。次に負極性の信号を書き込む期間では、D/Aコンバータの基準電圧を図4に示したように、INVをlowとしてMSBがV_{lm}、LSBがV_{ll}になり、D/Aコンバータの出力は、V_{lm}～V_{ll}のダイナミックレンジとなる。以上により映像信号の極性反転が可能となる。

【0037】

〔第3実施形態〕

図5は本発明に係る第3の実施形態を示した等価回路図である。図は、第1の実施形態のD/Aコンバータ部のみを取り出したものである。本実施形態では映像信号のビット数よりも1ビット多いD/Aコンバータによって極性反転を行う。また、INV信号によってデジタル信号を反転させるためのEX-OR（排他的論理和）回路を含んでいる。図5では、映像信号が3ビットであり、D/Aコンバータが4ビットの場合を示している。なおD/Aコンバータのデジタル入力のうち、最上位ビットに極性反転パルスINVを入力し、INVの反転出力が映像信号の3ビットと共にEX-ORに入力され、その出力がD/Aコンバー

タの下位ビット段に入力されている。また、D/Aコンバータの最大値 V_m と最小値 V_l とが供給されている。

【0038】

以下本実施形態の動作について説明する。INVがhighのときは、D/Aコンバータの出力は図の下段に示したように、 $V_m \sim (V_m + V_l) / 2$ のダイナミックレンジとなり、INVがlowのときは、D/Aコンバータの出力は図に示したように、 $(V_m + V_l) / 2 \sim V_l$ のダイナミックレンジとなる。ここで液晶に加わる電圧は、液晶素子の各画素電極と共通電極電位（中心電位）との差になるため、INVがlowのときは映像信号を論理反転する必要があり、INVパルスとのEX-ORをとっている。以上により映像信号の極性反転を実現している。

【0039】

〔第4実施形態〕

上述の液晶駆動回路を含めた液晶パネルを用いた液晶表示装置について、図面を参照しつつ、詳細に説明する。

【0040】

以下に、本発明の実施の形態を複数の液晶パネルを挙げて記述するが、それぞれの形態に限定されるものではない。相互の形態の技術を組み合わせることによって効果が増大することはいうまでもない。また、液晶パネルの構造は、半導体基板を用いたもので記述しているが、必ずしも半導体基板に限定されるものではなく、通常の透明基板上に以下に記述する構造体を形成してもいい。また、以下に記述する液晶パネルは、すべてMOSFETやTFT型であるが、ダイオード型などの2端子型であってもいい。さらに、以下に記述する液晶パネルは、家庭用テレビはもちろん、プロジェクタ、ヘッドマウントディスプレイ、3次元映像ゲーム機器、ラップトップコンピュータ、電子手帳、テレビ会議システム、カーナビゲーション、飛行機のパネルなどの表示装置として有効である。

【0041】

本発明の液晶パネル部の断面を図6に示す。図において、301は半導体基板、302、302'はそれぞれp型及びn型ウェル、303、303'、303

" はトランジスタのソース領域、304はゲート領域、305, 305', 305" はドレイン領域である。

【0042】

図6に示すように、表示領域のトランジスタは、20～35Vという高耐圧が印加されるため、ゲート304に対して、自己整合的にソース、ドレイン層が形成されず、オフセットをもたせ、その間にソース領域303', ドレイン領域305' に示す如く、pウェル中の低濃度の n^- 層, nウェル中の低濃度の p^- 層が設けられる。ちなみにオフセット量は0.5～2.0 μ mが好適である。一方、周辺回路の一部の回路部が図6の左側に示されているが、周辺部の一部の回路は、ゲートに自己整合的にソース、ドレイン層が形成されている。

【0043】

ここでは、ソース、ドレインのオフセットについて述べたが、それらの有無だけでなく、オフセット量をそれぞれの耐圧に応じて変化させたり、ゲート長の最適化が有効である。これは、周辺回路の一部は、ロジック系回路であり、この部分は、一般に1.5～5V系駆動でよいため、トランジスタサイズの縮小及び、トランジスタの駆動力向上のため、上記自己整合構造が設けられている。本基板1は、p型半導体からなり、基板は、最低電位（通常は、接地電位）であり、n型ウェルは、表示領域の場合、画素に印加する電圧すなわち20～35Vがかかり、一方、周辺回路のロジック部は、ロジック駆動電圧1.5～5Vが印加される。この構造により、それぞれ電圧に応じた最適なデバイスを構成でき、チップサイズの縮小のみならず、駆動スピードの向上による高画素表示が実現可能になる。

【0044】

また、図6において、306はフィールド酸化膜、310はデータ配線につながるソース電極、311は画素電極につながるドレイン電極、312は反射鏡を兼ねる画素電極、307は表示領域、周辺領域を覆う遮光層で、Ti, TiN, W, Mo等が適している。図6に示すように、上記遮光層307は、表示領域では、画素電極312とドレイン電極311との接続部を除いて覆われているが、周辺画素領域では、一部ビデオ線、クロック線等、配線容量が重くなる領域は、

上記遮光層307をのぞき、高速信号が上記遮光層307がのぞかれた部分は照明光の光が混入し、回路の誤動作を起こす場合は画素電極312の層をおおう設計になっている転送可能な工夫がなされている。308は遮光層307の下部の絶縁層で、P-SiO層318上にSOGにより平坦化処理を施し、そのP-SiO層318をさらに、P-SiO層308でカバーし、絶縁層308の安定性を確保した。SOGによる平坦化以外に、P-TEOS (Phospho-Tetraethoxy-Silane) 膜を形成し、さらにP-SiO層318をカバーした後、絶縁層308をCMP処理し、平坦化する方法を用いても良い事は言うまでもない。

【0045】

また、309は反射電極312と遮光層307との間に設けられた絶縁層で、この絶縁層309を介して反射電極312の電荷保持容量となっている。大容量形成のために、SiO₂ 以外に、高誘電率のP-SiN、Ta₂O₅、やSiO₂ との積層膜等が有効である。遮光層307にTi, TiN, Mo, W等の平坦なメタル上に設ける事により、500~5000オングストローム程度の膜厚が好適である。

【0046】

さらに、314は液晶材料、315は共通透明電極、316は対向基板、317, 317' は高濃度不純物領域、319は表示領域、320は反射防止膜である。

【0047】

図6に示すように、トランジスタ下部に形成されたウェル302, 302' と同一極性の高濃度不純物層317, 317' は、ウェル302, 302' の周辺部及び内容に形成されており、高振幅な信号がソースに印加されても、ウェル電位は、低抵抗層で所望の電位に固定されているため、安定しており、高品質な画像表示が実現できた。さらにn型ウェル302' とp型ウェル302との間には、フィールド酸化膜を介して上記高濃度不純物層317, 317' が設けられており、通常MOSトランジスタの時に使用されるフィールド酸化膜直下のチャネルストップ層を不要にしている。

【0048】

これらの高濃度不純物層317, 317'は、ソース、ドレイン層形成プロセスで同時にできるので作製プロセスにおけるマスク枚数、工数が削減され、低コスト化が図れた。

【0049】

次に、313は共通透明電極315と対向基板316との間に設けられた反射防止用膜で、界面の液晶の屈折率を考慮して、界面反射率が軽減されるように構成される。その場合、対向基板316と、透過電極315の屈折率よりも小さい絶縁膜が好適である。

【0050】

次に、本発明の平面図を図7に示す。図において、321は水平シフトレジスタ(HSR)、322は垂直シフトレジスタ(VSR)、323はnチャンネルMOSFET、324はpチャンネルMOSFET、325は保持容量、326は液晶層、327は信号転送スイッチ、328はリセットスイッチ、329はリセットパルス入力端子、330はリセット電源端子、331は映像信号の入力端子である。また、319は表示領域を示している。また半導体基板301は図6ではp型になっているが、n型でもよい。

【0051】

図6に示すように、ウェル領域302'は、半導体基板301と反対の導電型にする。このため、図6では、ウェル領域302はp型になっている。p型のウェル領域302及びn型のウェル領域302'は、半導体基板301よりも高濃度に不純物が注入されていることが望ましく、半導体基板301の不純物濃度が $10^{14} \sim 10^{15} \text{ (cm}^{-3}\text{)}$ のとき、ウェル領域302の不純物濃度は $10^{15} \sim 10^{17} \text{ (cm}^{-3}\text{)}$ が望ましい。

【0052】

ソース電極310は、表示用信号が送られてくるデータ配線に、ドレイン電極311は画素電極312に接続する。これらの電極310, 311には、通常Al, AlSi, AlSiCu, AlGeCu, AlCu配線を用いる。これらの電極310, 311の下部と半導体との接触面に、TiとTiNからなるバリアメタル層を用いると、コンタクトが安定に実現できる。またコンタクト抵抗も低

減できる。画素電極312は、表面が平坦で、高反射材が望ましく、通常の配線用金属であるAl, AlSi, AlSiCu, AlGeCu, AlC以外にCr, Au, Agなどの材料を使用することが可能である。また、平坦性の向上のため、下地絶縁層309や画素電極312の表面をケミカルメカニカルポリッシング(CMP)法によって処理している。

【0053】

保持容量325は、画素電極312と共通透明電極315の間の信号を保持するための容量である。ウェル領域302には、基板電位を印加する。本実施形態では、各行のトランスマッションゲート構成を、上から1行目は上がnチャンネルMOSFET323で、下がpチャンネルMOSFET324、2行目は上がpチャンネルMOSFET324で、下がnチャンネルMOSFET323とするように、隣り合う行で順序を入れ換える構成にしている。以上のように、ストライプ型ウェルで表示領域の周辺で電源線とコンタクトしているだけでなく、表示領域にも、細い電源ラインを設けコンタクトをとっている。

【0054】

この時、ウェルの抵抗の安定化がカギになる。したがって、p型基板であれば、nウェルの表示領域内部でのコンタクト面積又はコンタクト数をpウェルのコンタクトより増強する構成を採用した。pウェルは、p型基板で一定電位がとられているため、基板が低抵抗体としての役割を演ずる。したがって、島状になるnウェルのソース、ドレインへの信号の入出力による振られの影響が大きくなりやすいが、それを上部の配線層からのコンタクトを増強することで防止できた。これにより、安定した高品位な表示が実現できた。

【0055】

映像信号(ビデオ信号、パルス変調されたデジタル信号など)は、映像信号入力端子331から入力され、水平シフトレジスタ321からのパルスに応じて信号転送スイッチ327を開閉し、各データ配線に出力する。垂直シフトレジスタ322からは、選択した行のnチャンネルMOSFET323のゲートへはハイパルス、pチャンネルMOSFETのゲートへはローパルスを印加する。

【0056】

以上のように、画素部のスイッチは、単結晶のCMOSトランスミッションゲートで構成されており、画素電極へ書き込む信号が、MOSFETのしきい値に依存せず、ソースの信号をフルに書き込める利点を有する。

【0057】

又、スイッチが、単結晶トランジスタから成り立っており、polysilicon-TFTの結晶粒界での不安定な振まい等がなく、バラツキのない高信頼性な高速駆動が実現できる。

【0058】

次にパネル周辺回路の構成について、図8を用いて説明する。図8において、337は液晶素子の表示領域、332はレベルシフター回路、333はビデオ信号サンプリングスイッチ、334は水平シフトレジスタ、335はビデオ信号入力端子、336は垂直シフトレジスタである。

【0059】

以上に示す構成により、H、Vともにシフトレジスタ等のロジック回路は、ビデオ信号振幅によらず、1.5～5V程度と極めて低い値で駆動でき、高速、低消費電圧化が達成できた。ここでの水平、垂直SRは、走査方向は選択スイッチにより双方向可能なものとなっており、光学系の配置等の変更に対して、パネルの変更なしに対応でき、製品の異なるシリーズにも同一パネルが使用でき低コスト化が図れるメリットがある。又、図8においては、ビデオ信号サンプリングスイッチは、片側極性の1トランジスタ構成のものを記述したが、これに限らず、CMOSトランスミッションゲート構成にすることにより入力ビデオ線をすべてを信号線に書き込むことができることは、言うまでもない。

【0060】

又CMOSトランスミッションゲート構成にした時、NMOSゲートとPMOSゲート面積や、ゲートとソードレインとの重なり容量の違いにより、ビデオ信号に振られが生じる課題がある。これにはそれぞれの極性のサンプリングスイッチのMOSFETのゲート量の約1/2のゲート量のMOSFETのソースとドレインとを信号線にそれぞれ接続し、逆相パルスで印加することにより振られが防止でき、きわめて良好なビデオ信号が信号線に書き込れた。これにより、さら

に高品位の表示が可能になった。

【0061】

次に、ビデオ信号と、サンプリングパルスの同期を正確にとる方向について図9を用いて説明する。このためには、サンプリングパルスのdelay量を変化させる必要がある。342はパルスdelay用インバータ、343はどのdelay用インバータを選択するかを決めるスイッチ、344はdelay量が制御された出力、345は容量(outBは逆相出力、outは同相出力)である。346は保護回路である。

【0062】

SEL1(SEL1B)からSEL3(SEL3B)の組み合わせにより、delay用インバータ342を何個通過するかが選択できる。

【0063】

この同期回路がパネルに内蔵していることにより、パネル外部からのパルスのdelay量が、R、G、B3板パネルのとき、治具等の関係で対称性がくずれても、上記選択スイッチで調整でき、R、G、Bのパルス位相高域による位置ずれがない良好な表示画像が得られた。又、パネル内部に温度測定ダイオードを内蔵させ、その出力によりdelay量をテーブルから参照し温度補正することも有効である事は言うまでもない。

【0064】

次に、液晶材との関係について説明する。図6では、平坦な対向基板構造のものを示したが、共通電極基板316は、共通透明電極315の界面反射を防ぐため、凹凸を形成し、その表面に共通透明電極315を設けている。また、共通電極基板316の反対側には、反射防止膜320を設けている。これらの凹凸形状の形成のために、微少な粒径の砥粒により砂ずり研磨をおこなう方式も高コントラスト化に有効である。

【0065】

液晶材料としては、ポリマー・ネットワーク液晶PNLCを用いた。ただし、ポリマー・ネットワーク液晶として、PDLCなどを用いてもいい。ポリマー・ネットワーク液晶PNLCは、重合相分離法によって作製される。液晶と重合性

モノマーやオリゴマーで溶液をつくり、通常の方法でセル中に注入した後、UV重合によって液晶と高分子を相分離させ、液晶中に網目状に高分子を形成する。PNLCは多くの液晶（70～90wt%）を含有している。

【0066】

PNLCにおいては、屈折率の異方性（ Δn ）の高いネマチック液晶を用いると光散乱が強くない、誘電異方性（ $\Delta \epsilon$ ）の大きいネマチック液晶を用いると低電圧で駆動が可能となる。ポリマー・ネットワークのおおきさ、すなわち網目の中心間距離が1～1.5（ μm ）の場合、光散乱は高コントラストを得るのに十分強くなる。

【0067】

次に、シール構造と、パネル構造との関係について、図10を用いて説明する。図10において、351はシール部、352は電極パッド、353はクロックバッファ回路であり、不図示のアンブ部がある。このアンブ部は、パネル電気検査時の出力アンブとして使用するものである。また対向基板の電位をとる不図示のAgペースト部があり、また356は液晶素子による表示部、357は水平・垂直シフトレジスタ（SR）等の周辺回路部である。シール部351は表示部356の四方周辺に半導体基板301上に画素電極312を設けたものと共通電極315を備えたガラス基板との張り合わせのための圧着材や接着剤の接触領域を示し、シール部351で張り合わせた後に、表示部356とシフトレジスタ部357に液晶を封入する。

【0068】

図10に示すように、本実施形態では、シールの内部にも、外部にも、total chip sizeが小さくなるように、回路が設けられている。本実施形態では、パッドの引き出しをパネルの片辺側の1つに集中させているが、長辺側の両辺でも又、一辺でなく多辺からのとり出しも可能で、高速クロックをとり扱うときに有効である。

【0069】

さらに、本発明のパネルは、Si基板等の半導体基板を用いているため、プロジェクタのように強力な光が照射され、基板の側壁にも光があたると、基板電位

が変動し、パネルの誤動作を引き起こす可能性がある。したがって、パネルの側壁及び、パネル上面の表示領域の周辺回路部は、遮光できる基板ホルダーとなっており、又、Si基板の裏面は、熱伝導率の高い接着剤を介して熱伝導率の高いCu等のメタルが接続されたホルダー構造となっている。

【0070】

次に、上述の反射電極構造及びその作製方法について述べる。本発明の完全平坦化反射電極構造は、メタルをパターニングしてから、研磨する通常の方法とは異なり、電極パターンのところにあらかじめ、溝のエッチングをしておき、そこにメタルを成膜し、電極パターンが成形されない領域上のメタルを研磨でとり除くとともに、電極パターン上のメタルも平坦化する新規な方法である。しかも、配線の幅が配線以外の領域よりも極めて広く、従来のエッチング装置の常識では、下記問題が発生し、本発明の構造体は作製できない。

【0071】

つまり、エッチングすると、エッチング中にポリマーが堆積し、パターニングができなくなるのである。このポリマーはレジストがスパッタされたりエッチング材料によったり、ガスそのもの等から生成されると思われる。

【0072】

そこで、酸化膜系エッチング(CF_4 / CHF_3 系)において、条件を変えてみた。その結果を図11に示す。図11(a)はtotal圧力が1.7 torr時の特性図、図11(b)はtotal圧力が1.0 torr時の特性図である。

【0073】

図11(a)の条件で、デポジション性のガス CHF_3 をへらすと、たしかにポリマーの堆積は、減少するが、レジストに近いパターンと遠いパターンでの寸法の違い(ローティング効果)がきわめて大きくなり、使用できない事がわかる。

【0074】

本発明者らは、実験を重ねた結果、ローティング効果おさえるため、徐々に圧力を下げていくと、1 torr以下になるとローティング効果がかなり抑制され、かつデポジション性のガス CHF_3 をゼロにし、 CF_4 のみによるエッチングが有

効であることを見出した。

【0075】

さらに、画素電極領域は、ほとんどレジストが存在せず、周辺部にはレジストでしめられている。このような構造体を形成するのは難しく、構造として、画素電極と同等の周辺領域の空き電極とその形状を表示領域の周辺部まで設けることが有効であることがわかった。

【0076】

本構造にすることにより、従来あった表示部と周辺部もしくはシール部との段差もなくなり、ギャップ精度が高くなり、面内均一性が高くなるだけでなく、液晶の注入時のムラもへり、高品位の画質が歩留りよくできる効果が得られた。

【0077】

次に本発明の反射型液晶パネルを組み込む光学システムについて図12を用いて説明する。図12において、371はハロゲンランプ等の光源、372は光源像をしぼり込む集光レンズ、373、375は平面状の凸型フレネルレンズ、374はR、G、Bに分解する色分解光学素子で、ダイクロイックミラー、回折格子等が有効である。

【0078】

また、376はR、G、B光に分離されたそれぞれの光をR、G、B3パネルに導くそれぞれのミラー、377は集光ビームを反射型液晶パネルに平行光で照明するための視野レンズ、378は上述の反射型液晶素子、379の位置にしぼりがある。また、380は複数のレンズを組み合わせで拡大する投射レンズ、381はスクリーンで、通常、投射光を平行光へ変換するフレネルレンズと上下、左右に広視野角として表示するレンチキュラレンズの2板より構成されると明瞭な高コントラストで明るい画像を得ることができる。図12の構成では、1色のパネルのみ記載されているが、色分解光学素子374からしぼり部379の間は3色それぞれに分離されており、3板パネルが配置されている。又、反射型液晶装置パネル表面にマイクロレンズアレーを設け、異なる入射光を異なる画素領域に照射させる配置をとることにより、3板のみならず、単板構成でも可能であることは言うまでもない。液晶素子の液晶層に電圧が印加され、各画素で正反射し

た光は、379に示すしぼり部を透過しスクリーン上に投射される。

【0079】

一方、電圧が印加されずに、液晶層が散乱体となっている時、反射型液晶素子へ入射した光は、等方的に散乱し、379に示す絞り部の開口を見込む角度の中の散乱光以外は、投射レンズにはいない。これにより黒を表示する。以上の光学系からわかるように、偏光板が不要で、しかも画素電極の全面が信号光が高反射率で投射レンズにはいるため、従来よりも2-3倍明るい表示が実現できた。上述の実施形態でも述べたように、対向基板表面、界面には、反射防止対策が施されており、ノイズ光成分も極めて少なく、高コントラスト表示が実現できた。又、パネルサイズが小さくできるため、すべての光学素子（レンズ、ミラーetc.）が小型化され、低コスト、軽量化が達成された。

【0080】

又、光源の色ムラ、輝度ムラ、変動は、光源と光学系との間にインテグレタ（はえの目レンズ型ロッド型）を挿入することにより、スクリーン上での色ムラ、輝度ムラは、解決できた。

【0081】

上記液晶パネル以外の周辺電気回路について、図13を用いて説明する。図において、385は電源で、主にランプ用電源とパネルや信号処理回路駆動用システム電源に分離される。386はプラグ、387はランプ温度検出器で、ランプの温度の異常があれば、制御ボード388によりランプを停止させる等の制御を行う。これは、ランプに限らず、389のフィルタ安全スイッチでも同様に制御される。たとえば、高温ランプハウスボックスを開けようとした場合、ボックスがあかなくなるような安全上の対策が施されている。390はスピーカー、391は音声ボードで、要求に応じて3Dサウンド、サラウンドサウンド等のプロセッサも内蔵できる。392は拡張ボード1で、ビデオ信号用S端子、ビデオ信号用コンポジット映像、音声等の外部装置396からの入力端子及びどの信号を選択するかを選択スイッチ395、チューナ394からなり、デコーダ393を介して拡張ボード2へ信号が送られる。一方、拡張ボード2は、おもに、別系列からのビデオやコンピュータのDsub15ピン端子を有し、デコーダ393からの

ビデオ信号と切り換えるスイッチ450を介して、A/Dコンバータ451でデジタル信号に変換される。

【0082】

また、453は主にビデオRAM等のメモリとCPUとからなるメインボードである。A/Dコンバータ451でA/D変換したNTSC信号は、一端メモリに蓄積され、高画素数へうまく割りあてるために、液晶素子数にマッチしていない空き素子の不足の信号を補間して作成したり、液晶表示素子に適した γ 変換エッジ階調、ブライト調整バイアス調整等の信号処理を行う。NTSC信号でなく、コンピュータ信号も、たとえばVGAの信号がくれば、高解像度のXGAパネルの場合、その解像度変換処理も行う。一画像データだけでなく、複数の画像データのNTSC信号にコンピュータ信号を合成させる等の処理もこのメインボード453で行う。メインボード453の出力はシリアル・パラレル変換され、ノイズの影響を受けにくい形態でヘッドボード454に充られる。このヘッドボード454で、再度パラレル/シリアル変換後、D/A変換し、パネルのビデオ線数に応じて分割され、ドライブアンプを介して、B、G、R色の液晶パネル455、456、457へ信号を書き込む。452はリモコン操作パネルで、コンピュータ画面も、TVと同様の感覚で、簡単操作可能となっている。また、液晶パネル455、456、457の夫々は、各色の色フィルタを備えた同一の液晶装置構成であり、その水平・垂直走査回路は第1～第5実施形態で説明したものを適用する。各液晶装置は以上の説明のように、必ずしも高解像度がない画像も処理により高品位画像化になるため、本発明の表示結果は、きわめてきれいな画像表示が可能である。

【0083】

【発明の効果】

本発明によれば、映像信号をデジタル信号として入力する場合に、複数の走査線と複数の垂直信号線を有し、前記走査線と前記垂直信号線の交点にスイッチを介して画素電極が形成されている液晶装置において、映像信号がデジタル信号であり映像データを転送する水平走査回路と、前記水平走査回路の出力に同期して1画素分の前記映像データを記憶するデータラッチ回路と、前記データラッ

チ回路の出力をアナログ信号に変換するD/Aコンバータと、前記D/Aコンバータの出力に接続された複数の信号転送スイッチと、前記複数の転送スイッチのうち任意の1つを選択する手段とを備えたことにより、外部駆動回路の部品点数を削減でき、アナログ入力に対して直接液晶素子をドライブするよりも映像信号線の負荷を小さくすることができ、さらに、D/Aコンバータ1ヶ当たりの負荷も小さくできると共に液晶画素への書き込み時間を長くすることができるので駆動周波数を低くすることが可能で、結果的に、全体として低消費電力となり、且つ低消費電力ゆえに高精細化が容易となり、ノイズの影響さえ少なく、高画質化が可能となる。

【0084】

またこの液晶駆動回路を含む周辺回路としても、液晶素子表面ばかりでなく周辺回路の表面にもPSG絶縁層と反射メタル電極とを重層してCMPで平坦化することで、液晶表示装置そのものの信頼性を向上でき、製造上の工程削減をも可能として、種々の実効的效果を奏し得る。

【図面の簡単な説明】

【図1】

本発明による液晶パネルの駆動回路を示す回路図である。

【図2】

本発明による液晶パネルの前の映像信号並べ替え回路の動作を示す概念図である。

【図3】

本発明による液晶パネルの駆動回路の動作を示すタイミング図である。

【図4】

本発明による液晶パネルのD/Aコンバータの周辺回路図と波形図である。

【図5】

本発明による液晶パネルの/Aコンバータの周辺回路図と波形図である。

【図6】

本発明によるCMPにより製造される液晶素子の断面図である。

【図7】

本発明による液晶装置の概略的回路図である。

【図 8】

本発明による液晶装置のブロック図である。

【図 9】

本発明による液晶装置の入力部のディレイ回路を含む回路図である。

【図 10】

本発明による液晶装置の液晶パネルの概念図である。

【図 11】

本発明による液晶装置の製造上のエッチング処理の良否を判断するグラフである。

【図 12】

本発明による液晶装置を用いた液晶プロジェクターの概念図である。

【図 13】

本発明による液晶プロジェクターの内部を示す回路ブロック図である。

【図 14】

液晶装置の液晶パネルの製造工程上の断面図である。

【図 15】

液晶装置の液晶パネルの製造工程上の断面図である。

【図 16】

液晶装置の液晶パネルの水平・垂直駆動回路の概念図である。

【符号の説明】

- 1 映像信号並び替え回路
- 2 水平走査回路
- 3 インバータ
- 4～7 OR回路
- 8～11 ラッチ回路
- 12, 13 D/Aコンバータ
- 14, 15 バッファ
- 16 転送SW選択回路

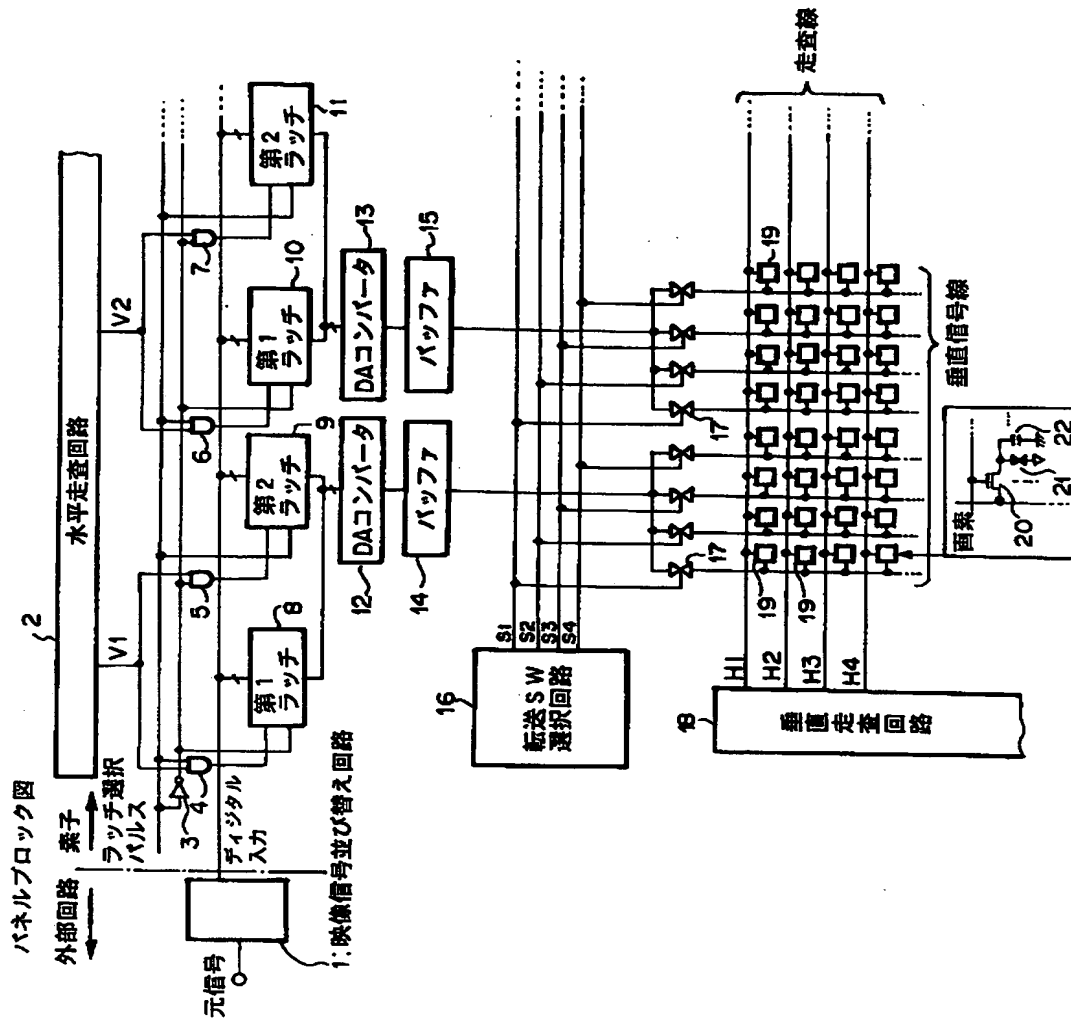
- 17 転送スイッチ
- 18 垂直走査回路
- 19 液晶画素
- 20 スイッチMOSトランジスタ
- 21 液晶
- 23 D/Aコンバータ
- 301 半導体基板
- 302, 302' p型及びn型ウェル
- 303, 303', 303" ソース領域
- 304 ゲート領域
- 305, 305', 305" ドレイン領域
- 306 LOCOS絶縁層
- 307 遮光層
- 308 PSG
- 309 プラズマSiN
- 310 ソース電極
- 311 連結電極
- 312 反射電極&画素電極
- 314 液晶層
- 315 共通透明電極
- 316 対向電極
- 317, 317' 高濃度不純物領域
- 319 表示領域
- 320 反射防止膜
- 321, 322 シフトレジスタ
- 332 昇圧レベルシフター
- 342 インバータ
- 351 シール
- 378 液晶装置

特平 8—276531

455, 456, 457 液晶装置

【書類名】 図面

【図1】



【図2】

元信号

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----

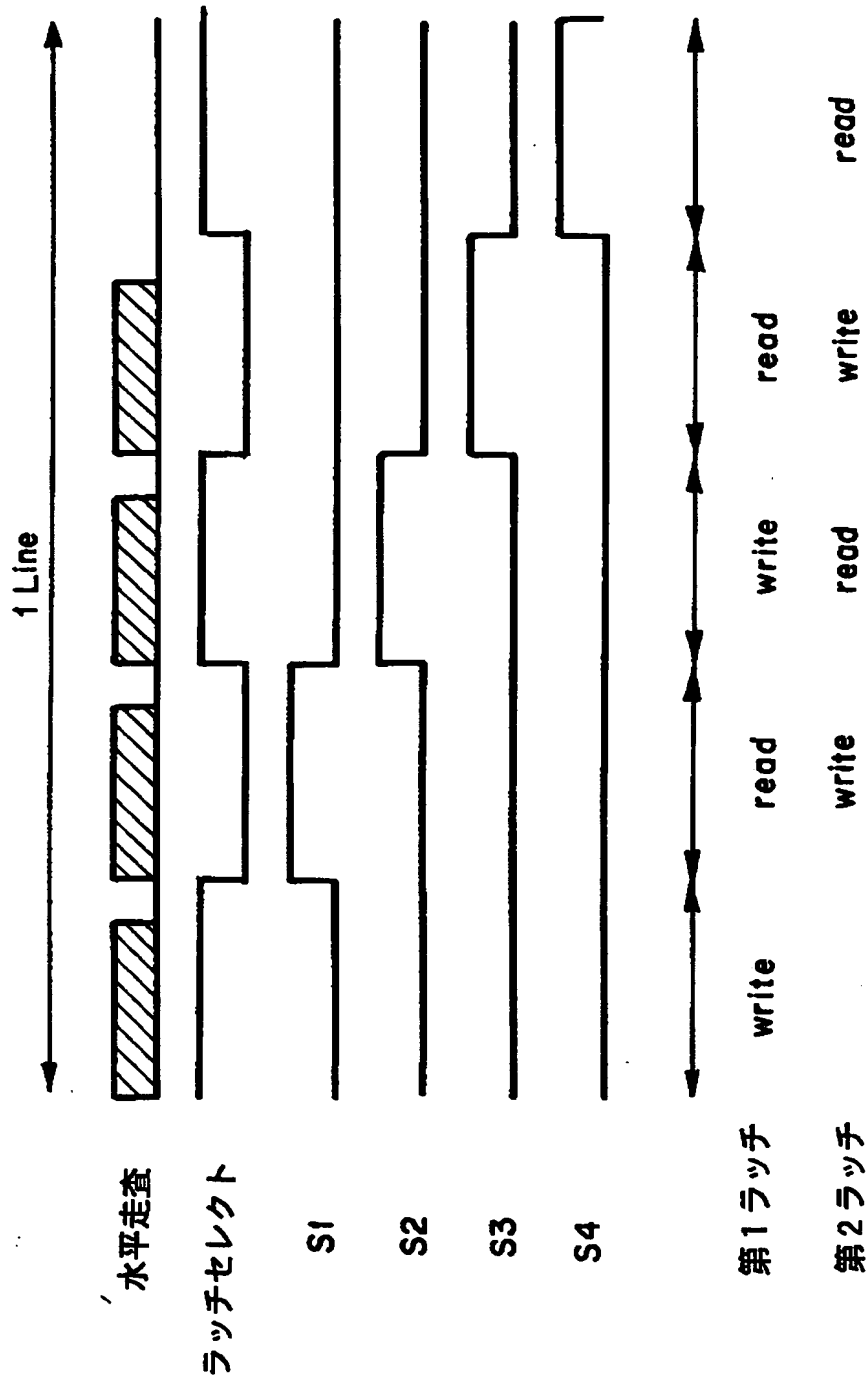
画素ごとの信号に対応

並び替え後

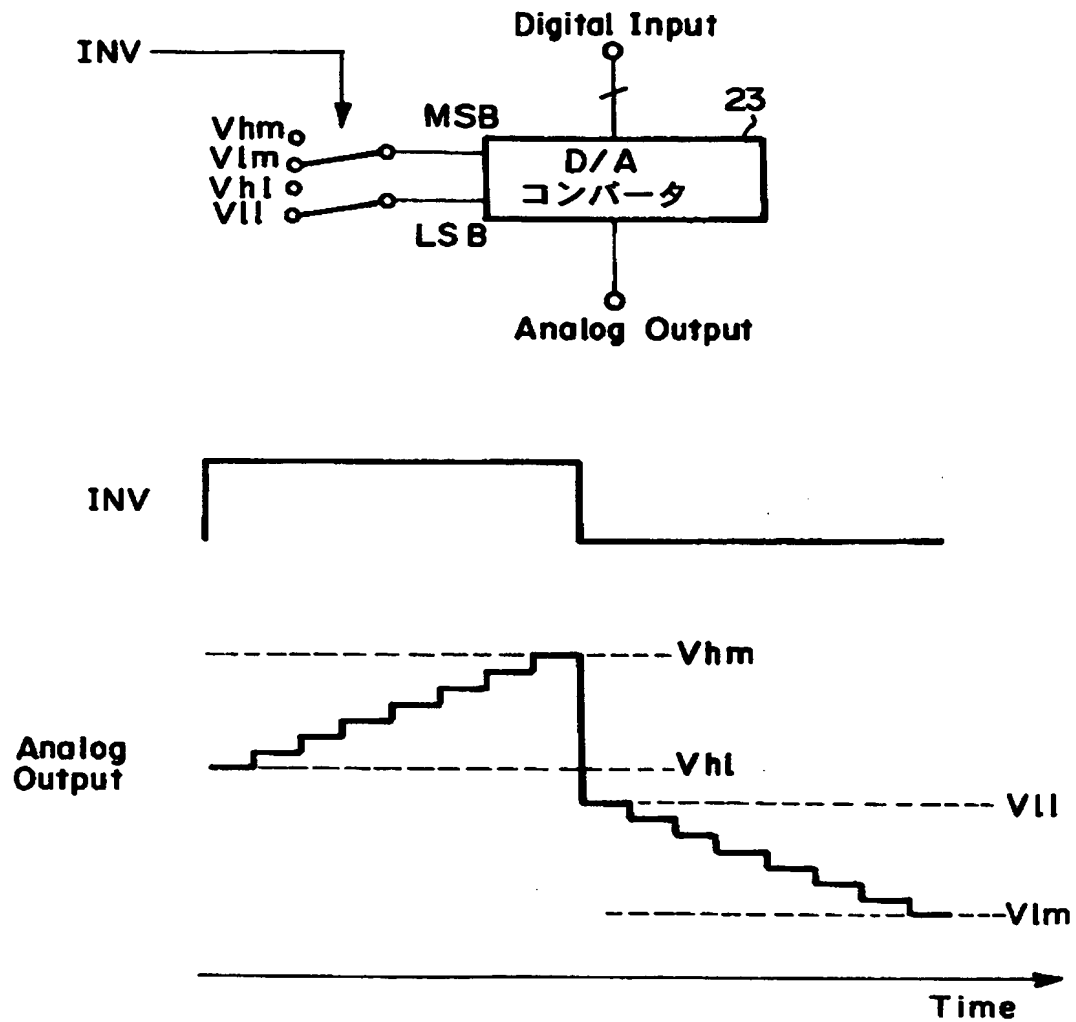
1	5	9	13	2	6	10	14	3	7	11	15	4	8	12	16
---	---	---	----	---	---	----	----	---	---	----	----	---	---	----	----

上記は1ケのD/Aコンバータに4本の垂直信号線が接続されていて、
水平方向の画素数が16の場合

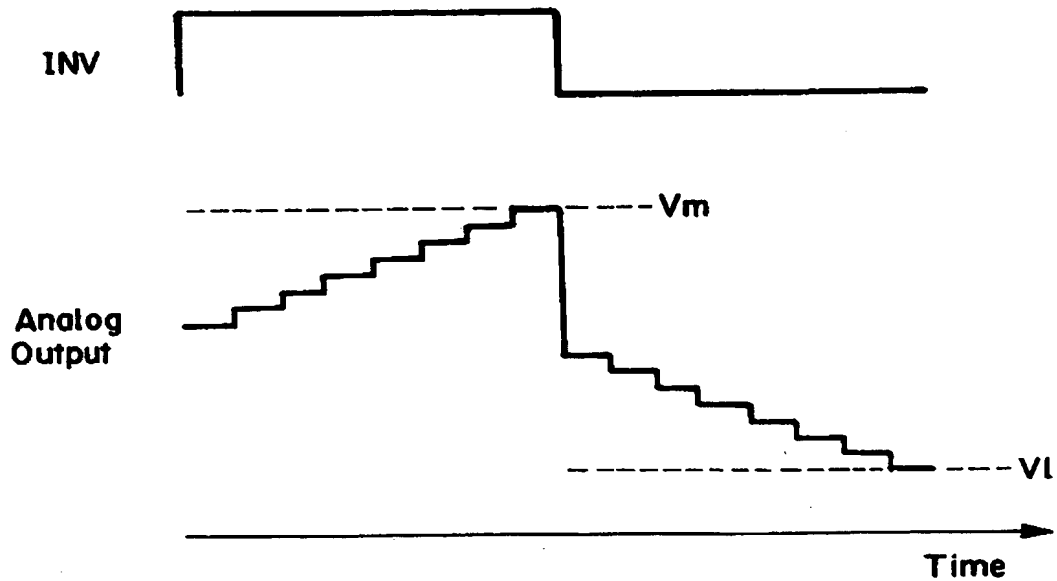
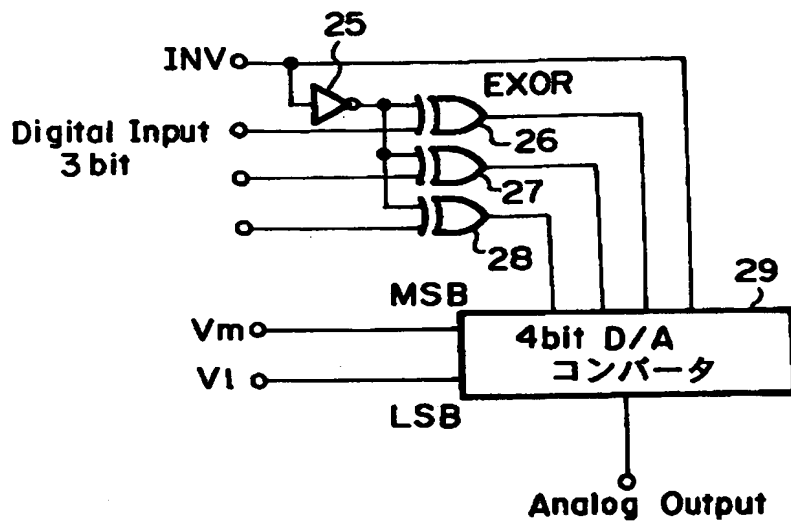
【図3】



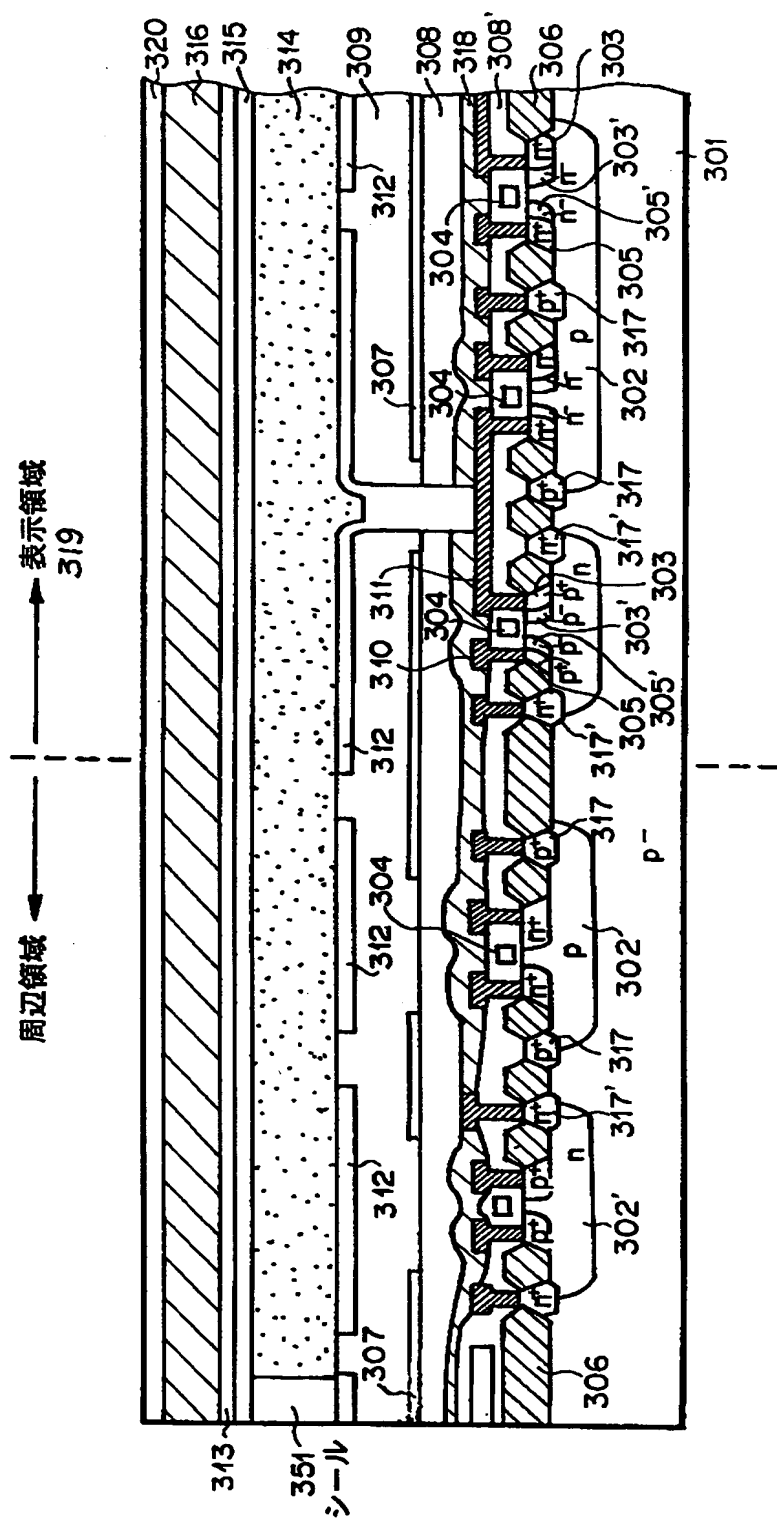
【図4】



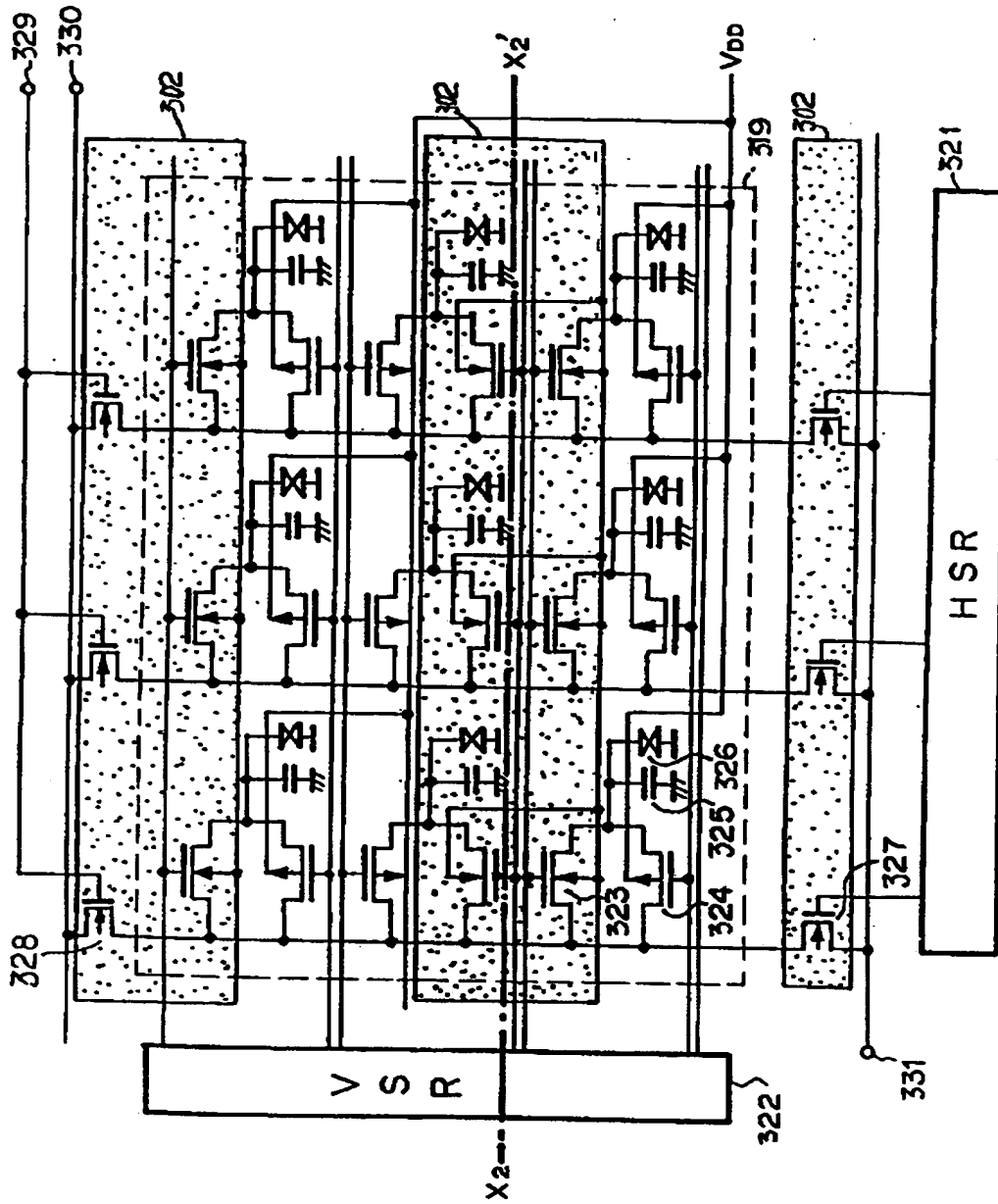
【図5】



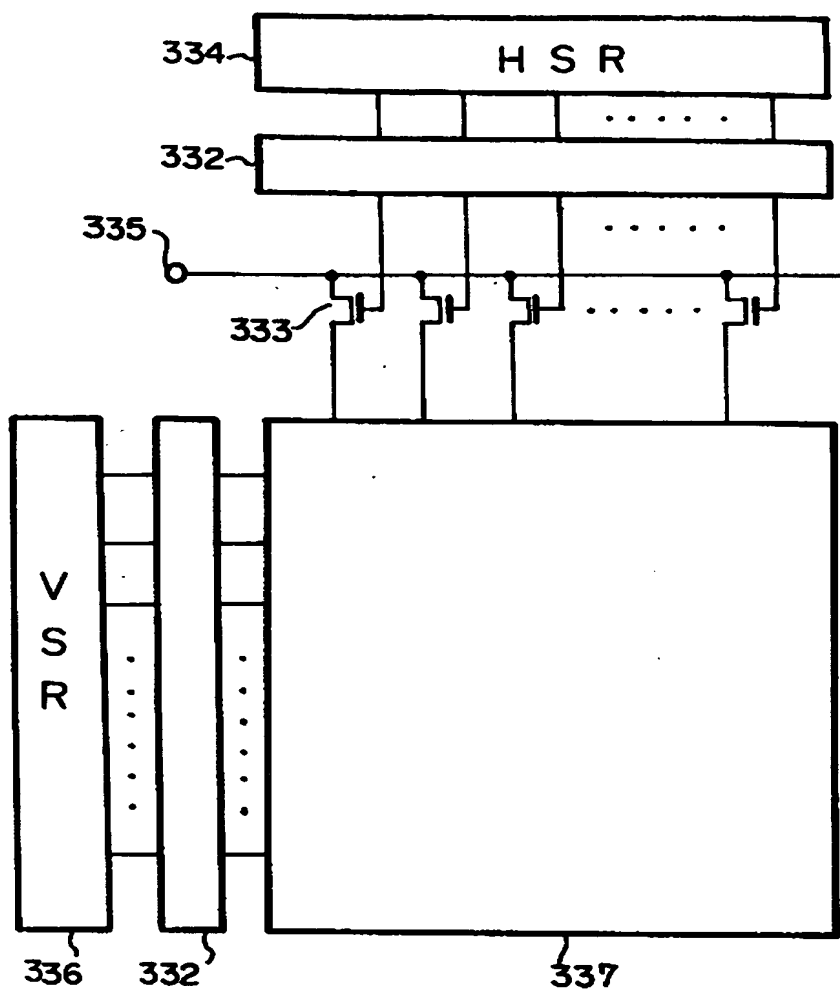
【図 6】



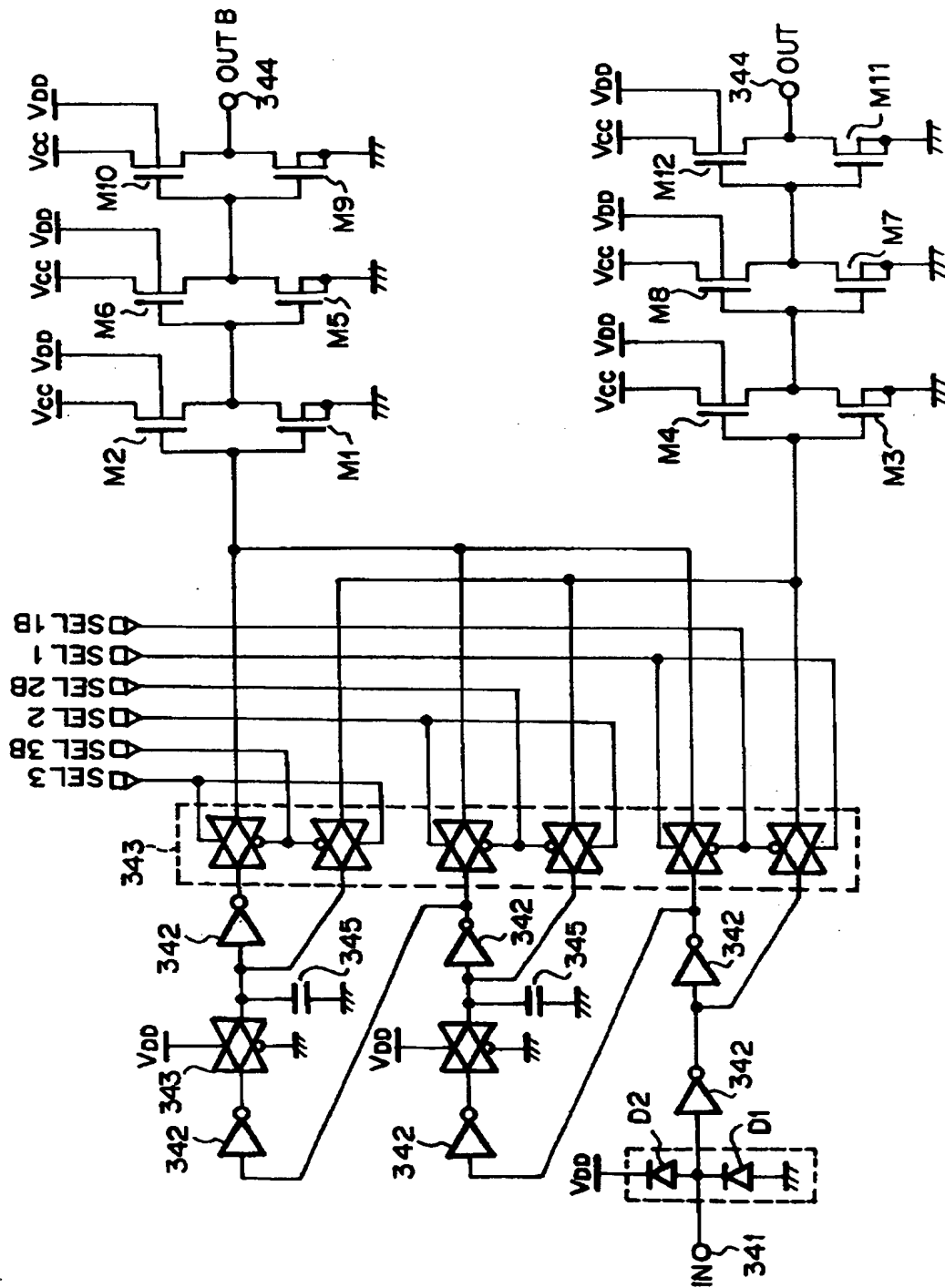
【图7】



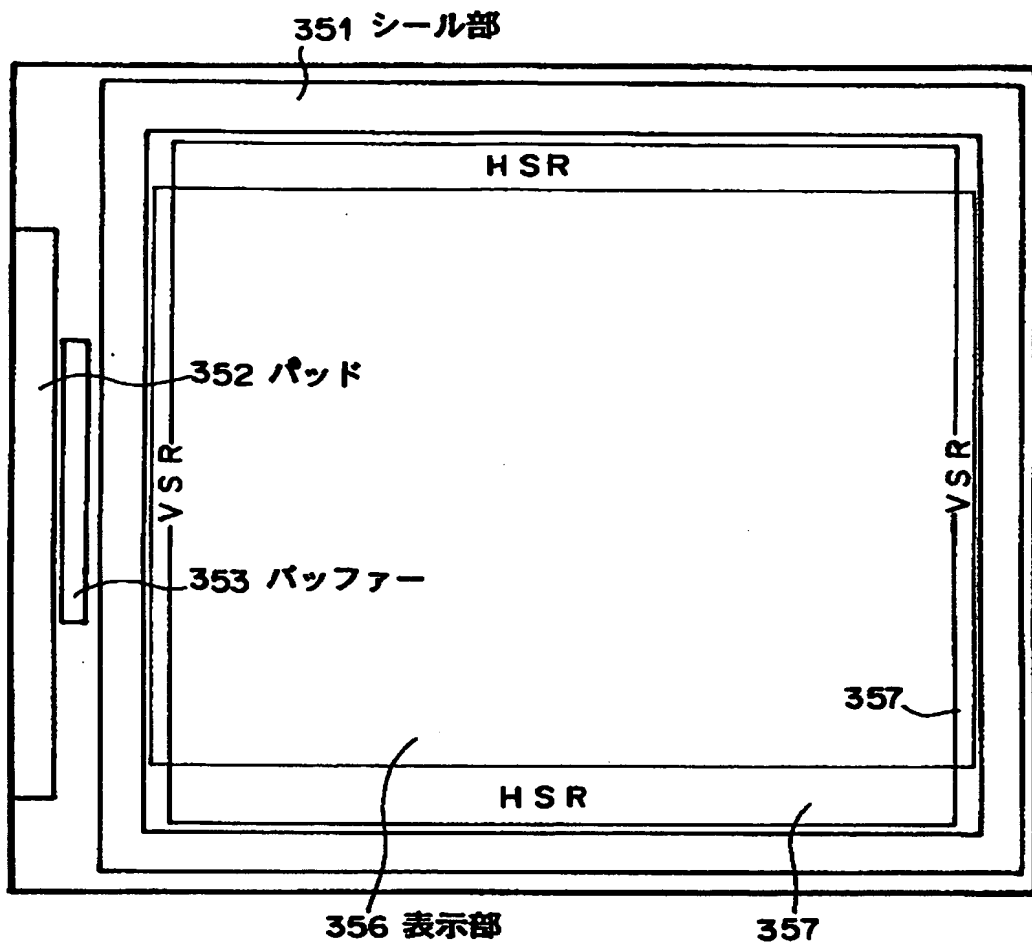
【図8】



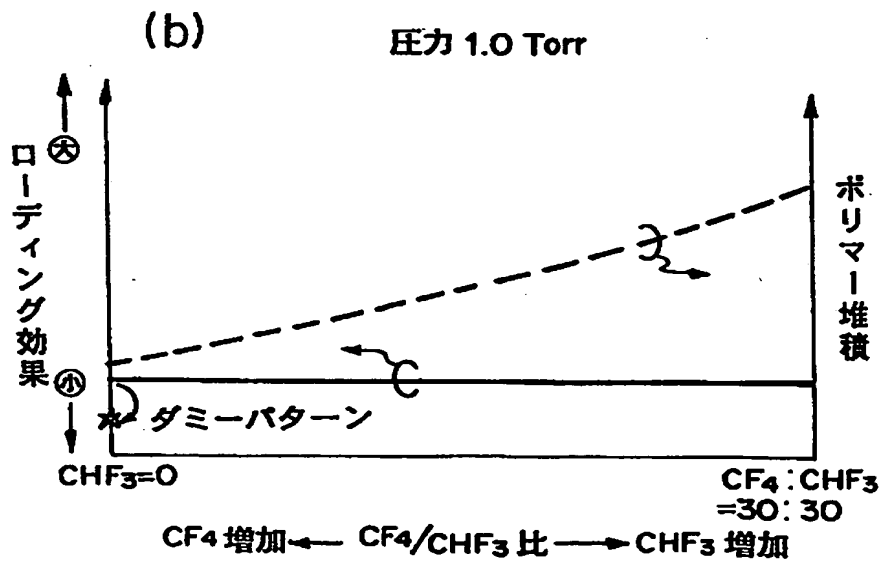
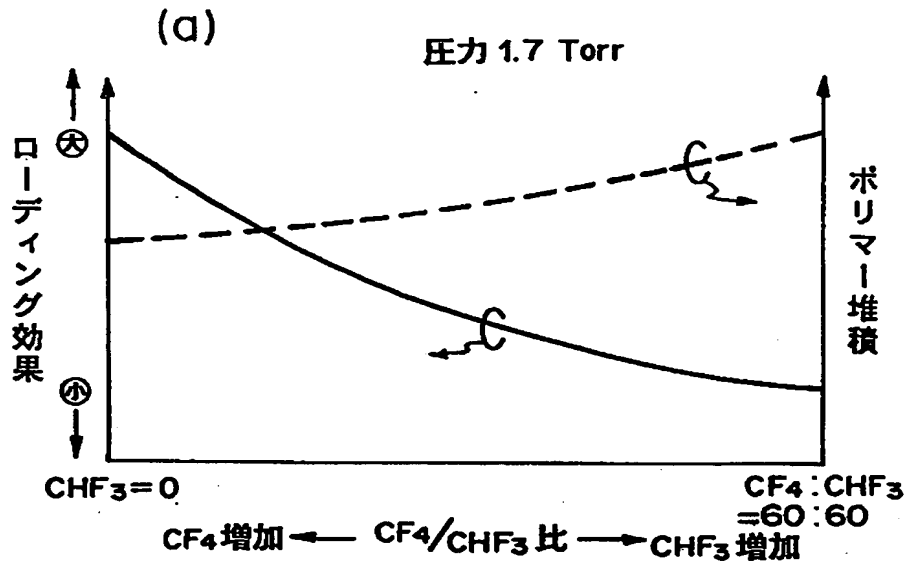
【图9】



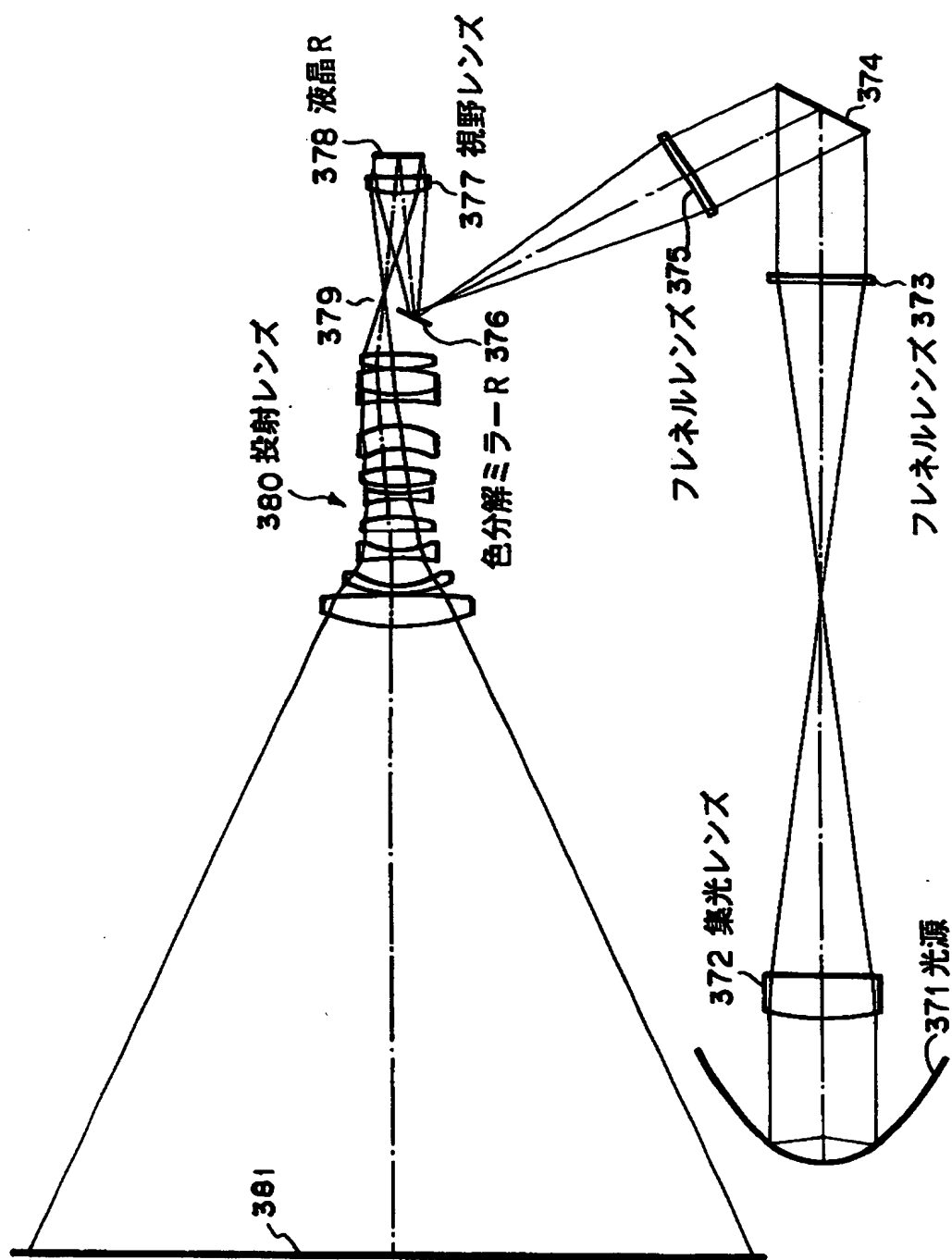
【図10】



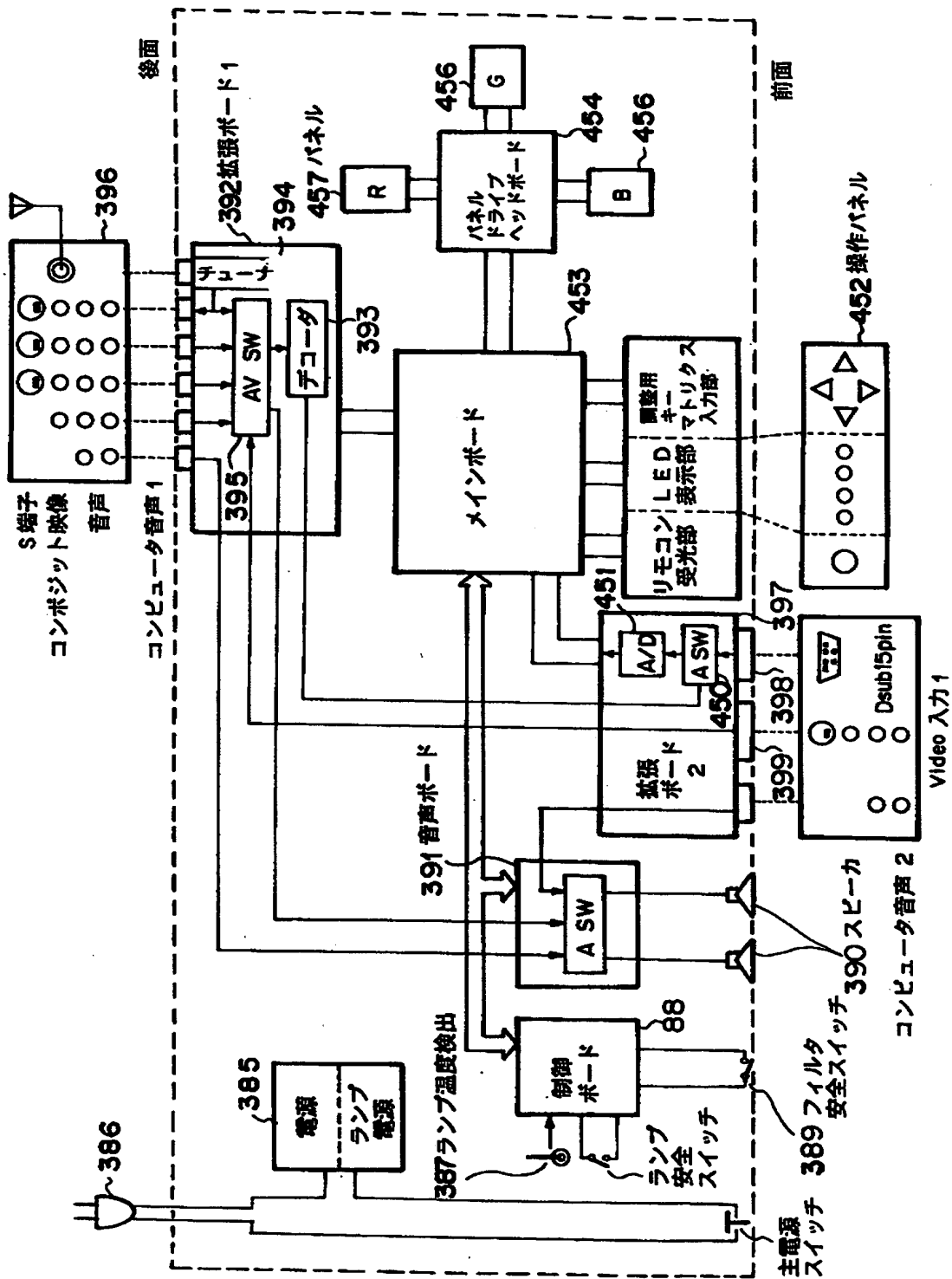
【図11】



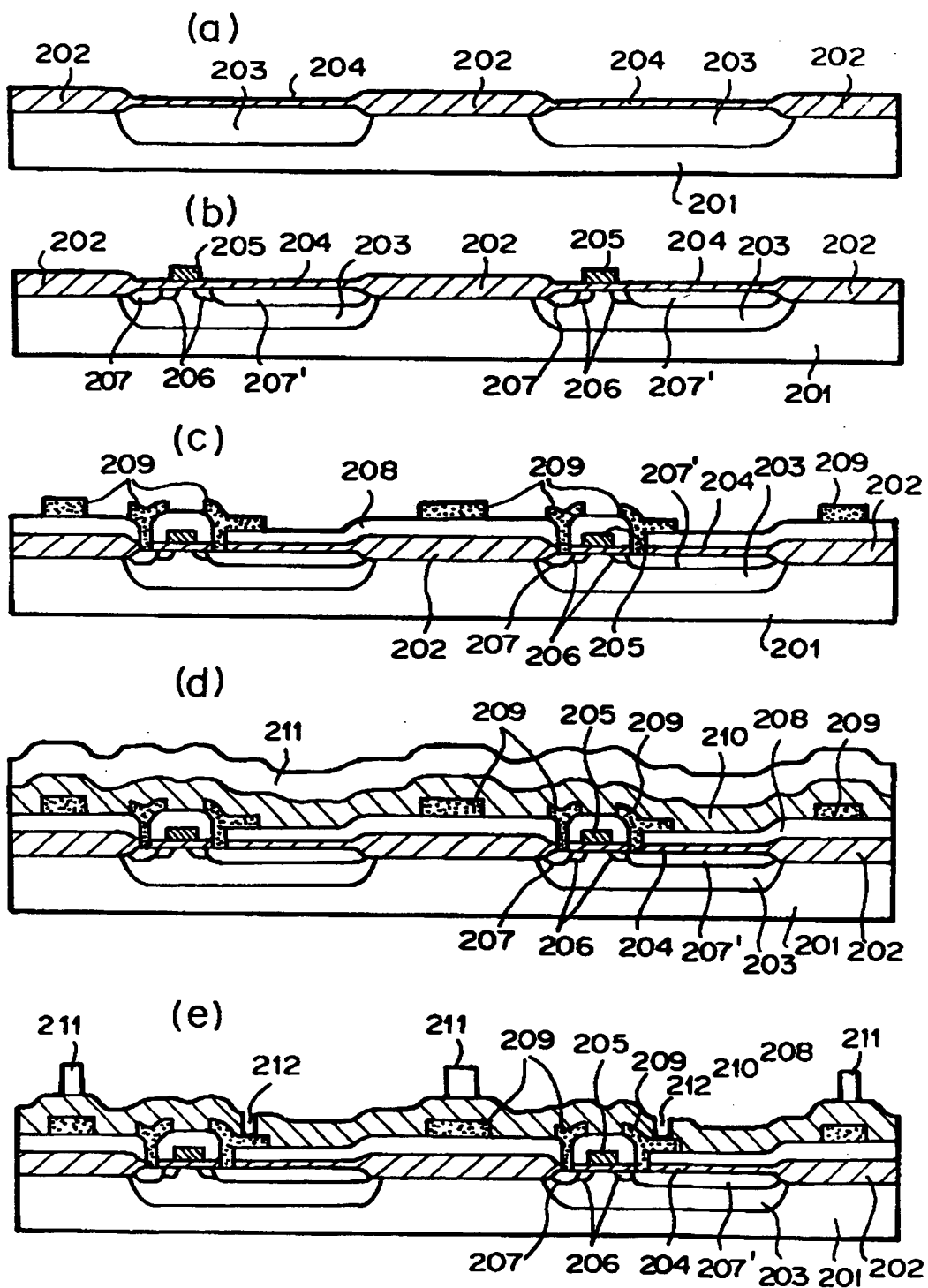
【図12】



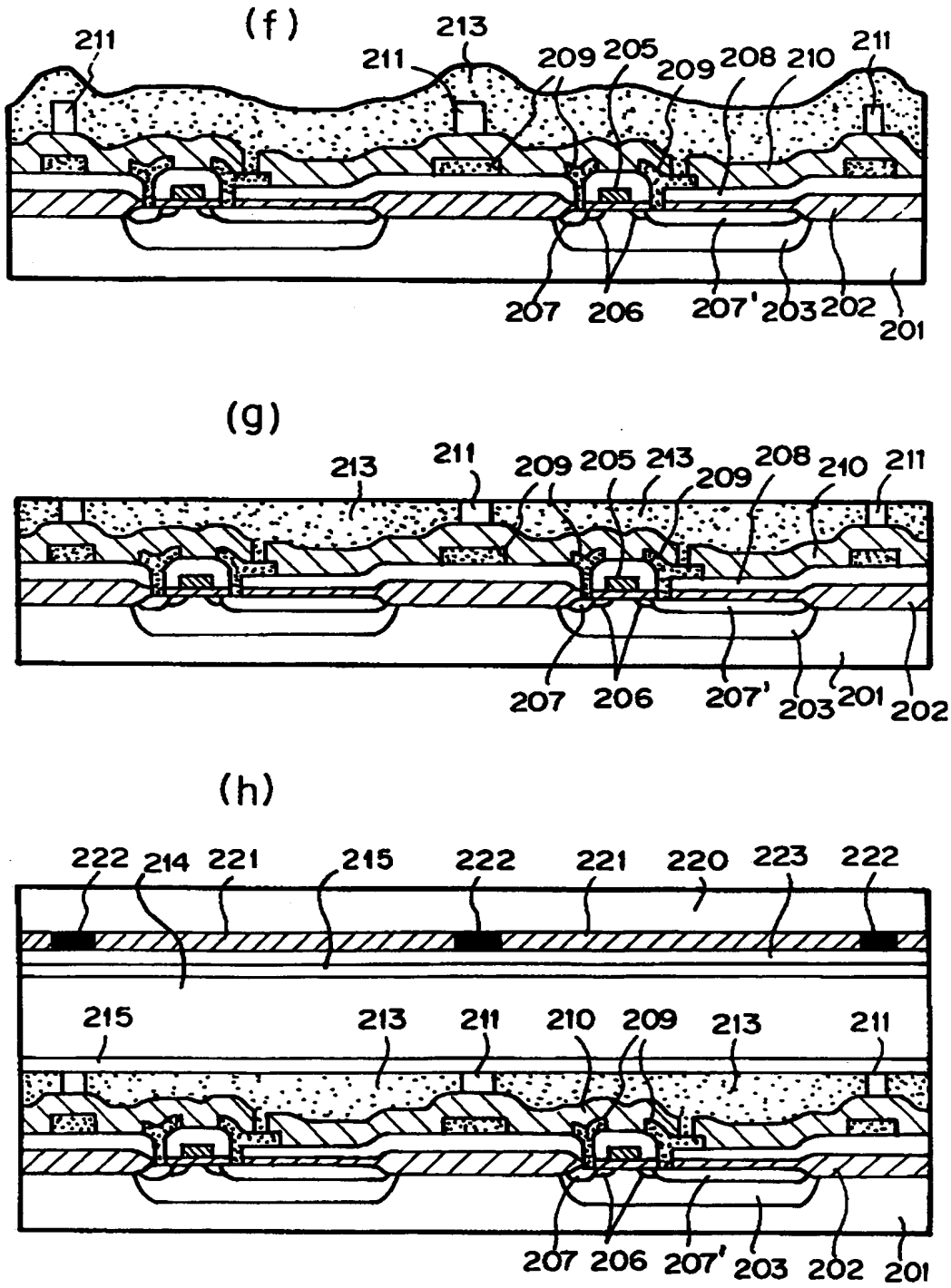
【図13】



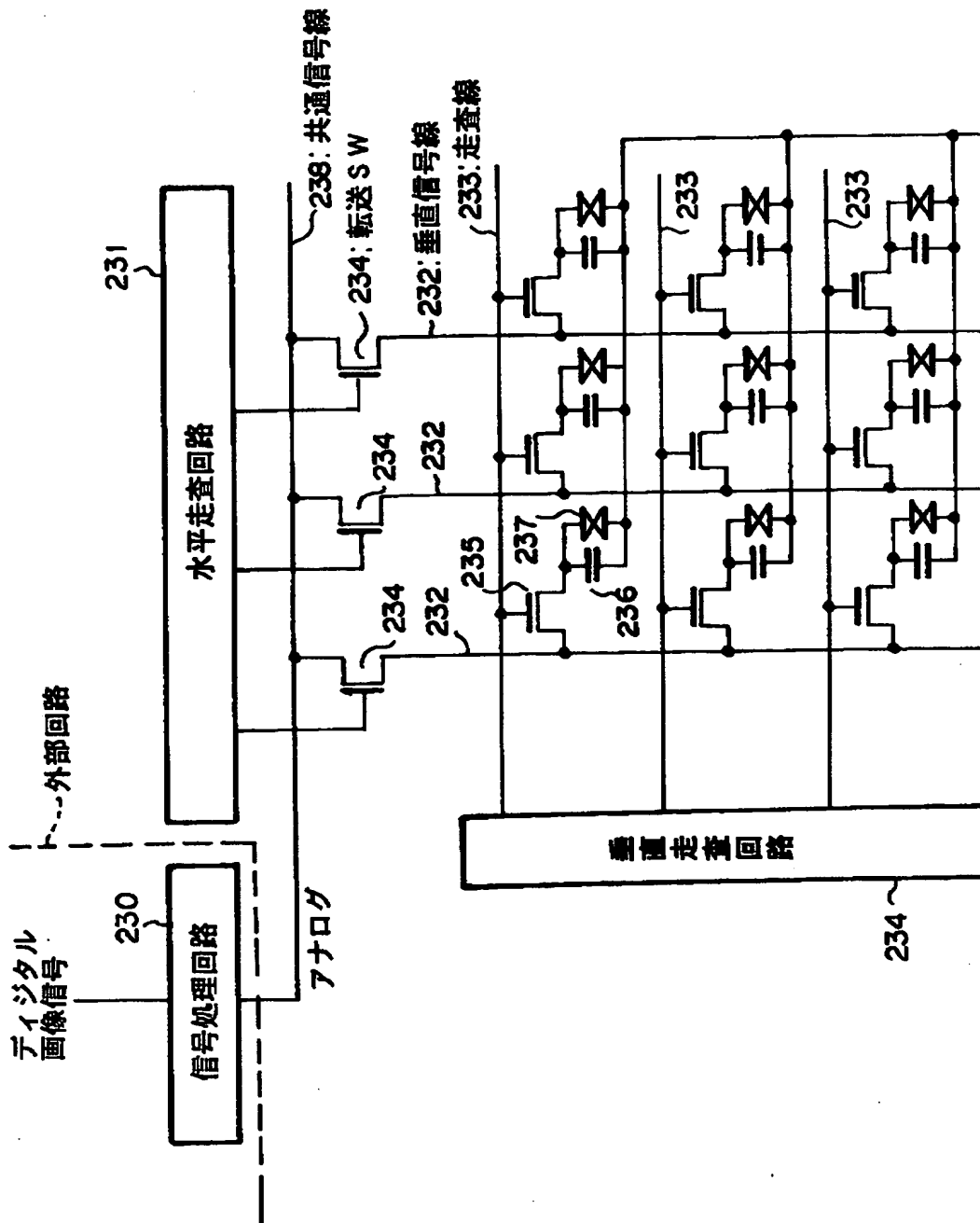
【図14】



【図15】



【図 16】



【書類名】 要約書

【要約】

【課題】 液晶素子の駆動回路の部品点数を削減し、1チップ内に低消費電力でデジタルビデオ信号を高密度の液晶素子に表示することを課題とする。

【解決手段】 複数の走査線と複数の垂直信号線を有し、前記走査線と前記垂直信号線の交点にスイッチを介して画素電極が形成されている液晶装置において、映像信号がデジタル信号であり映像データを転送する水平走査回路と、前記水平走査回路の出力に同期して1画素分の前記映像データを記憶するデータラッチ回路と、前記データラッチ回路の出力をアナログ信号に変換するD/Aコンバータと、前記D/Aコンバータの出力に接続された複数の信号転送スイッチと、前記複数の転送スイッチのうち任意の1つを選択する手段とを有することを特徴とする。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100065385

【住所又は居所】 東京都港区浜松町1丁目18番14号 SVAX浜
松町ビル

【氏名又は名称】 山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社